

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JCS25 U.S. PTO
09/437649
11/10/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

1999年 7月 9日

出 願 番 号
Application Number:

平成11年特許願第196734号

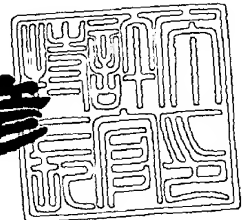
出 願 人
Applicant (s):

株式会社半導体エネルギー研究所

1999年10月 1日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3066201

【書類名】 特許願

【整理番号】 P004242-02

【提出日】 平成11年 7月 9日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 安達 広樹

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】明細書

【発明の名称】 露光装置および露光方法

【特許請求の範囲】

【請求項 1】

感光性薄膜が設けられた透光性基板を設置するステージと、
前記透光性基板の裏面側から前記感光性薄膜を照射する光源と、
前記透光性基板の表面側に設けられた反射手段とを有することを特徴とする露光装置。

【請求項 2】

請求項 1 において、前記反射手段は、反射性を有する材料薄膜が設けられた基板であることを特徴とする露光装置。

【請求項 3】

請求項 1 または請求項 2 において、前記感光性薄膜はフォトレジスト膜であることを特徴とする露光装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、前記感光性薄膜は、非透光性薄膜材料からなるパターン上に設けられていることを特徴とする露光装置。

【請求項 5】

透光性基板上に非透光性薄膜材料からなるパターンを形成する工程と、
前記パターン上に感光性薄膜を形成する工程と、
前記パターンをマスクとして光源からの光を前記基板の裏面側から照射して前記感光性薄膜を露光し、且つ、前記感光性薄膜を透過した前記光源からの光を前記基板の表面側に設けられた反射手段によって反射または散乱させ、前記基板の表面側から照射して前記感光性薄膜を露光する工程と、
を有することを特徴とする露光方法。

【請求項 6】

請求項 5 において、前記感光性薄膜からなるパターンの形状は、前記非透光性薄膜材料からなるパターンの形状を縮小したものであることを特徴とする露光方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本願発明は露光装置および露光方法に関する。また、その露光方法を用いた薄膜トランジスタ（以下、T F Tという）で構成された回路を有する半導体装置およびその作製方法に関する。本発明の半導体装置は、薄膜トランジスタ（T F T）やM O Sトランジスタ等の素子だけでなく、これら絶縁ゲート型トランジスタで構成された半導体回路を有する表示装置やイメージセンサ等の電気光学装置をも含むものである。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0 0 0 2】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0 0 0 3】

【従来の技術】

絶縁性を有する基板上に形成された薄膜トランジスタ（T F T）により画素回路および駆動回路を構成したアクティブマトリクス型液晶ディスプレイが注目を浴びている。液晶ディスプレイは0. 5～2 0インチ程度のものまで表示ディスプレイとして利用されている。

【0 0 0 4】

現在、高精細な表示が可能な液晶ディスプレイを実現するために、ポリシリコン膜で代表される結晶性半導体膜を活性層とするT F Tが注目されている。

【0 0 0 5】

しかしながら、結晶性半導体膜を活性層とするT F Tは、非晶質半導体膜を活性層とするT F Tと比較して、動作速度や駆動能力が高い一方、リーク電流が大きいという問題があった。

【0 0 0 6】

このリーク電流を抑えるための技術として、T F Tのチャネル形成領域とドレイ

ン領域との間にLDD領域を形成することが知られている。このLDD領域は、チャンネル形成領域とドレイン領域との間に形成される電界の強度を緩和し、TFTのOFF電流の低減、劣化の防止の役割を果たしている。

【0007】

TFTのチャンネル形成領域とドレイン領域の間にLDD領域を形成するには、ドレイン領域となる領域に導電型を付与する不純物イオンを高濃度に添加し、LDD領域となる領域に導電型を付与する不純物イオンを低濃度に添加するマスクを用いる。このように選択的に不純物濃度の異なる領域を形成するためのマスクを形成する従来の手段としては、フォトマスクを用いるパターンニング方法①（ノンセルフアライン方式）や、配線をマスクとして裏面からの露光を行なうパターンニング方法②（セルフアライン方式）が挙げられる。

【0008】

従来のフォトマスクを用いるパターンニング方法①を以下に簡単に説明する。一般的にLDD構造を形成する場合、フォトリソグラフィ法によるマスクを用いる。ここでは、一例としてボトムゲート型TFTの作製過程を用いて説明する。

【0009】

まず、絶縁基板上にゲート配線を形成する。この段階で第1のフォトマスクを使用する。次に、ゲート配線の上にゲート絶縁膜と非晶質な領域を有する半導体膜を積層し、この非晶質な領域を有する半導体膜を加熱、またはレーザー光等による結晶化処理を施して結晶性半導体膜とする。

【0010】

次いで、パターンニング方法①を用いてマスクパターンを形成する。ここでのパターンニング方法①とは、マスクパターン用の絶縁膜を形成する工程と、前記マスクパターン用の絶縁膜上にフォトレジスト膜を塗布する工程と、第2のフォトマスクを用いて露光・現像することによりフォトレジストパターンを形成する工程と、前記フォトレジストパターンをマスクに用いてマスクパターン用の絶縁膜をエッチングしてマスクパターンを形成する工程と、フォトレジストパターンを除去する工程とを行うことを指している。このようにフォトマスクを用いる方式をノンセルフアライン方式と呼ぶ。この後、マスクパターンを用いて結晶性半導体膜

に導電性を付与する不純物イオンの添加を選択的に行ない、ソース領域、ドレイン領域、またはLDD領域等を形成する。

【0011】

この方法での問題点は、フォトマスクの位置合わせにおいて、ある程度の範囲でバラツキが発生するため、TFTの特性がばらつく点である。特に、マスクパターンによりチャネル形成領域の幅が決定されるため、そのパターニング精度は高いものが要求される。

【0012】

また、配線をマスクとした裏面からの露光を行なうパターニング方法②を図14を用いて説明する。裏面からの露光によるパターニングは、パターニング方法①と比較して、精度よくパターニングできる。ただし、従来の裏面からの露光によるパターニングは、光の廻り込みがあるため、配線幅より若干パターンが細くなる。

【0013】

まず、絶縁基板10上にゲート配線11を形成する。この段階で第1のフォトマスクを使用する。次に、ゲート配線の上にゲート絶縁膜12と非晶質な領域を有する半導体膜を積層し、この非晶質な領域を有する半導体膜を加熱、またはレーザー光等による結晶化処理を施して結晶性半導体膜13とする。

【0014】

次いで、マスクパターンを形成するためのパターニング方法②を用いる。ここでのパターニング方法②とは、マスクパターン用の絶縁性薄膜14を形成する工程と、前記マスクパターン用の絶縁性薄膜上にフォトレジスト膜15を塗布する工程（図14（A））と、ゲート配線をマスクとして裏面からの露光・現像を行うことによりレジストパターン16を形成する工程（図14（B））と、前記レジストパターンをマスクに用いてマスクパターン用の絶縁膜をエッチングしてマスクパターン17を形成する工程と、レジストパターン16を除去する工程（図14（C））とを行うことを指している。この裏面からの露光によりゲート配線とほぼ同一寸法のマスクパターン17が形成される。図14では、レジストパターンの端部と配線端部が一致しているが、実際には光が廻り込み、マスクパターン

17はゲート配線より端部から0.3～0.5 μm 程度小さくなる。

【0015】

このようにフォトマスクを用いない方式をセルフアライン方式と呼ぶ。この後、マスクパターンを用いて結晶性半導体膜に導電性を付与する不純物イオンの添加を選択的に行ない、ソース領域、ドレイン領域、またはLDD領域を形成する。

【0016】

この方法②での問題点は、マスクとして用いたゲート配線とほぼ同一寸法のレジストパターンしか作製することができず、所望のレジストパターンを形成することは困難であった。また、露光条件、例えば露光時間を変更して光を廻り込ませてレジストパターンをゲート配線の内側に形成することも可能であるが、光の廻り込みによりレジストパターンの膜厚が減少してしまう。そのため、特に微細な配線をマスクとして用いた場合には、配線上のレジストを全て露光してしまう恐れがあるため適していない。また、光を廻り込ませても端部から1 μm が限界であった。加えて、端部から1 μm 程度、光を廻り込ませるためには、十分な露光時間および露光光量が必要とされていた。

【0017】

従って、ボトムゲート型TFETの作製工程においては、LDD領域を形成する場合、パターニング方法①によるマスクとパターニング方法②によるマスクとを用いて選択的に不純物の添加を行う必要があった。

【0018】

【発明が解決しようとする課題】

そこで、本発明は、上記従来技術の問題を解決するものであり、セルフアライン方式でマスクパターンを形成する新規な露光装置を提供することを目的とする。

【0019】

また、本発明の露光装置を用いた露光方法を用いてセルフアライン方式でマスクパターンを形成し、LDD領域をゲート配線上に形成するTFETを用いた表示装置の構成およびその作製方法を提供することを目的とする。

【0020】

【課題を解決するための手段】

上記目的を解決するため、基板の表面側に反射板が感光性薄膜表面から距離 X ($0.1\mu m \sim 1000\mu m$) 離れて設けられた露光装置を用いて裏面露光を行ない、セルフアライン方式でマスクパターンを形成することを特徴としている。

【0021】

本明細書で開示する発明の構成は、
感光性薄膜が設けられた透光性基板を設置するステージと、
前記透光性基板の裏面側から前記感光性薄膜を照射する光源と、
前記透光性基板の表面側に設けられた反射手段とを有することを特徴とする露光装置である。

【0022】

上記構成において、前記反射手段は、反射性を有する材料薄膜が設けられた基板であることを特徴としている。

【0023】

また、上記各構成において、前記感光性薄膜はフォトレジスト膜である。

【0024】

また、上記各構成において、前記感光性薄膜は、非透光性薄膜材料からなるパターン上に設けられていることを特徴としている。

【0025】

本発明の露光方法においては、光源からの光は裏面側から基板を透過して感光性薄膜（ゲート配線上の領域以外）に照射する。また、光源から前記感光性樹脂を透過した光は、基板の表面側に設けられた反射板により反射・散乱させて基板の表面側から感光性薄膜（全面）に照射する。この反射・散乱した光が微量にしか照射されない領域の感光性薄膜を利用してマスクパターンを形成する。なお、この反射・散乱させた光が微量にしか照射されない領域は、感光性薄膜表面と反射板との距離 X ($0.1\mu m \sim 1000\mu m$) を適宜変更することによって、その位置を決定することができるため、ゲート配線上に所望の寸法を有するマスクパターンをセルフアライン方式で形成することができる。

【0026】

また、上記露光装置を用いた本発明の露光方法の構成は、

透光性基板上に非透光性薄膜材料からなるパターンを形成する工程と、
前記パターン上に感光性薄膜を形成する工程と、
前記パターンをマスクとして光源からの光を前記基板の裏面側から照射して前記感光性薄膜を露光し、且つ、前記感光性薄膜を透過した前記光源からの光を前記基板の表面側に設けられた反射手段によって反射または散乱させ、前記基板の表面側から照射して前記感光性薄膜を露光する工程と、
を有することを特徴とする露光方法である。

【 0 0 2 7 】

また、上記構成において、前記感光性薄膜からなるパターンの形状は、前記非透光性薄膜材料からなるパターンの形状を縮小したものであることを特徴としている。

【 0 0 2 8 】

上記本発明の露光方法を用いて形成されるマスクパターン、またはマスクパターンをマスクとして形成される絶縁膜からなるドーピングマスクを利用して、導電性を付与する不純物イオンを選択的に添加して L D D 領域を形成する。

【 0 0 2 9 】

なお、本明細書中では、T F T が作製される基板の面を表面とし、表面と相対する面を裏面とする。

【 0 0 3 0 】

また、本明細書中では、露光装置の光源からの光に対する透過率が 6 0 % 以上、好ましくは 8 0 % 以上である基板を透光性基板とする。

【 0 0 3 1 】

また、反射手段としては、露光装置の光源からの光の波長に対する反射率が 8 0 % 以上であり、光反射性の高いアルミニウム膜や銀等の金属膜が成膜された基板（反射板）を用いることができる。

【 0 0 3 2 】

なお、本明細書中において、特に指定がない限り「不純物」とは 1 3 族または 1 5 族に属する元素を指して用いる。また、各不純物領域は作製プロセスの過程で領域の大きさ（面積）が変化するが、本明細書中でが面積が変化しても濃度が変

化しない限りは同一の符号で説明するものとする。

【0033】

【発明の実施の形態】

(実施形態 1)

以下に図 6 を参照して本発明の実施の形態の一例を詳細に説明する。

【0034】

図 6 に示すように、本発明の露光装置は、感光性薄膜が設けられた透光性基板を設置するステージと、前記感光性薄膜を露光させる光源と、前記透光性基板の表面側に反射手段とを有している。反射手段 602 としては、反射性を有する金属薄膜が形成された基板（反射板）、ミラー、光散乱板等を用い、基板面と平行に備える。なお、反射手段と感光性薄膜表面との距離 X を $0.1\ \mu\text{m} \sim 1000\ \mu\text{m}$ の範囲内で調節し、廻り込み距離 Y を制御できる。

【0035】

また、本発明の露光方法においては、感光性薄膜を透過した光源からの光 601 を、基板の表面側に設けた反射手段 602 により反射・散乱させて基板の表面側から選択的に感光性薄膜を露光する。こうすることによって、非透過性材料からなるパターン 600 上に光を廻し込ませて制御性よくマスクを形成することができる。

【0036】

本発明の露光方法について簡単に説明する。

【0037】

なお、ここでは、非透過性材料からなるパターン 600 上方に形成した感光性樹脂のうち、606 で示される領域（パターン 600 の端部から距離 Y だけ離れたパターンを有する）以外を露光する場合について説明する。

【0038】

まず、光源からの光 601 は、パターン 600 をマスクとして裏面から感光性薄膜を露光し、605a で示される領域が露光される。次いで、605a で示される領域を透過した光は、反射手段 602 によって反射または散乱された光 603 が、再び感光性薄膜を露光し、605a、605b で示される領域を露光する。

従って、605 a で示される領域は2回露光される。そのため、605 a で示される領域のみを露光したい場合には、短時間で露光可能であり、スループットを向上させることができる。

【0039】

その後、露光された領域605 a、605 bを除去し、露光されない606で示される領域のみを残存させる。こうして、マスク606（パターン600の端部から距離Yだけ離れたパターンを有する）を形成することができる。

【0040】

以上の工程を経て形成された606で示される領域をマスクとして利用すれば、薄膜604を選択的にエッチングを行うことができる。また、この606をマスクとして利用すれば、半導体膜607にスルードーピングを行うこともできる。なお、図6中の608は絶縁膜である。

【0041】

また、本発明の露光方法は、非透過性材料からなるパターン600上にマスクを形成する場合において特に限定されることなく適用できる。なお、パターン600は遮光性を有するに十分な膜厚を備えた材料膜であればよい。

【0042】

（実施形態2）

以下に図1（A）～（E）を参照して本発明の実施の形態の一例を詳細に説明する。なお、簡略化のためNチャネル型TFTを用いた作製方法の説明を行う。

【0043】

まず、基板を用意する。基板100としては、ガラス基板、石英基板、結晶性ガラスなどの絶縁性基板、プラスチック基板（ポリエチレンテレフタレート基板）等の透光性を有する基板を用いることができる。

【0044】

次いで、基板上に下地絶縁膜（以下、下地膜とする）101を形成し、熱処理する。この下地膜101としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜（SiO_xN_y）、またはこれらの積層膜等を100～500nmの膜厚範囲で用いることができる。下地膜の形成手段としては、熱CVD法、プラズマCVD法、

スパッタリング法、蒸着法、減圧熱CVD法等の形成方法を用いることができる。この下地膜は基板からの不純物の拡散を防ぐ効果がある。なお、この下地膜は、TFTの電気特性を向上させるためであり、特に設けなくともよい。

【0045】

次いで、絶縁膜101上に非透過性導電材料からなる導電膜（ゲート配線形成材料層）を形成し、公知のパターニング方法によりゲート配線102を形成する。

【0046】

導電膜としては、導電性材料または半導体材料、例えば、タンタル（Ta）、窒化タンタル（Ta₂N₃）、アルミニウム（Al）、銅（Cu）、ニオブ（Nb）、ハフニウム（Hf）、ジルコニウム（Zr）、チタン（Ti）、クロム（Cr）、タングステン（W）、モリブデン（Mo）、シリコン（Si）等を主成分とする層からなる単体金属層、或いはこれらを組み合わせた積層構造を用いることができる。積層構造の代表例としてはTa/Al、Ti/Al、Cu/W、Al/WまたはW/Moの積層構造などが挙げられる。また、金属シリサイドを設けた構造（具体的にはSi₃N₄、Si/TiSi₂、Si/CoSi₂、またはSi/MoSi₂等の導電性を持たせたシリコンと金属シリサイドとを組み合わせた構造）を用いてもよい。なお、導電膜の膜厚としては、10～500nmの範囲で用いることができる。

【0047】

次いで、ゲート配線の表面を保護するための絶縁膜103、例えば、ゲート配線を陽極酸化して形成した陽極酸化膜や、ゲート配線を覆って全面に膜厚の薄い窒化珪素膜を形成することが好ましい。

【0048】

次いで、ゲート絶縁膜104'を形成する。ゲート絶縁膜104'としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜（SiO_xN_y）、有機樹脂膜（BCB（ベンゾシクロブテン）膜等）、またはこれらの積層膜等を用いることができる。ゲート絶縁膜の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、スパッタリング法、蒸着法、塗布法等の公知の手段を用い、10～400nmの膜厚範囲で用いることができる。

【0049】

次いで、ゲート絶縁膜104'上に半導体膜を積層形成する。半導体膜としては、非晶質珪素膜、微結晶を有する非晶質半導体膜、微結晶半導体膜、非晶質ゲルマニウム膜、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$) で示される非晶質シリコンゲルマニウム膜、またはこれらの積層膜を20～70nm（代表的には40～50nm）の膜厚範囲で用いることができる。また、半導体膜の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、スパッタリング法等を用いることができる。

【0050】

次いで、非晶質な領域を有する半導体膜に結晶化処理を施し、結晶性半導体膜105を形成する。（図1（A））

【0051】

本発明の結晶化処理としては、公知の如何なる手段、例えば、赤外光または紫外光の照射による結晶化処理（以下、レーザー結晶化と呼ぶ）、触媒元素を用いたレーザー結晶化、熱結晶化、触媒元素を用いた熱結晶化等を用いることができる。また、これらの結晶化処理を組み合わせてもよい。

【0052】

特に、レーザー結晶化は基板にかかるストレスが少なく、短時間で処理することができるため有効である。結晶化処理として紫外光を用いる場合はエキシマレーザー光または紫外光ランプから発生する強光を用いればよく、赤外光を用いる場合は赤外線レーザー光または赤外線ランプから発生する強光を用いればよい。なお、レーザーのガスとしてXeCl、ArF、KrF等を用いたパルスレーザーやArレーザー等の連続発振レーザーを用いて、そのレーザー光を線状（幅数ミリ×数十センチ）、長形状または正形状にビーム形成して照射することができる。

【0053】

なお、レーザー結晶化の条件（レーザービームの形状、レーザー光の波長、オーバーラップ率、照射強度、パルス幅、繰り返し周波数、照射時間等）は、半導体膜の膜厚、基板温度等を考慮して実施者が適宜決定すればよい。また、レーザー

結晶化の条件によっては、半導体膜が熔融状態を経過して結晶化する場合や、半導体膜が熔融せずに固相状態、もしくは固相と液相の中間状態で結晶化する場合がある。また、大気にふれることなく同一チャンバー内で、半導体膜の形成と、絶縁膜の形成と、半導体膜のレーザー結晶化を行う構成としてもよい。

【0054】

また、結晶化を助長する触媒元素（ニッケル）を添加する熱結晶化については特開平7-130652号公報、特開平9-312260号等に詳細に記載されている。結晶化を助長する金属元素としては、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類のものを用いる。また、非晶質珪素膜中の拡散が置換型拡散であるGe、Pbを用いることもできる。

【0055】

ただし、触媒元素を用いたレーザー結晶化や触媒元素を用いた熱結晶化においては、下地膜上に触媒元素を添加させて半導体膜を積層した後、半導体膜を結晶化させる。なお、触媒元素を用いて結晶化を行った場合は、半導体膜中に触媒元素が高濃度に残存するため、結晶化処理後に半導体膜中の触媒元素の濃度を低減する工程、例えばゲッターリング処理を施すことが好ましい。

【0056】

次いで、以下に示す本発明のパターニング方法を用いてマスクパターンの形成を行う。

【0057】

まず、半導体膜105上に絶縁性薄膜106を形成する。絶縁性薄膜106としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜（ SiO_xN_y ）、有機樹脂膜（BCB（ベンゾシクロブテン）膜等）、またはこれらの積層膜等を用いることができる。絶縁性薄膜106の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、スパッタリング法、蒸着法等の公知の手段を用い、10～200nmの膜厚範囲で用いることができる。この絶縁性薄膜106は、後の工程で積層する感光性薄膜との密着性を向上させるとともに、半導体膜、特にチャネル形成領域となる領域を汚染から保護するものである。

【0058】

次いで、絶縁性薄膜上に感光性薄膜 107 を形成する。(図 1 (B)) 感光性薄膜 107 としては、ポジ型のフォトレジスト、ネガ型のフォトレジスト、感光性ポリイミド等を用いることができる。感光性薄膜 107 の形成手段としては塗布法等の公知の手段を用いる。また、感光性薄膜の紫外線透過厚であれば膜厚は特に限定されることはないが、 $0.25\mu\text{m}\sim 4\mu\text{m}$ 、好ましくは、 $1\sim 2\mu\text{m}$ の膜厚範囲で用いる。

【0059】

次いで、基板面と平行に反射板 108 (感光性薄膜表面との距離 X_1 ($X_1 = 0.1\sim 1000\mu\text{m}$)) が設けられた裏面露光装置を用いて露光を行う。本発明の露光方法においては、感光性薄膜を透過した光源からの光を、基板の表面側に設けられた反射板 108 により反射・散乱させて基板の表面側から感光性薄膜全面に不均一な照射を行うことを特徴としている。なお、光源からの光は裏面側から基板を透過し、感光性薄膜 (ゲート配線上の領域以外) に照射される。

【0060】

即ち、反射板 108 により反射・散乱した光が微量にしか照射されない領域を利用してゲート配線の寸法より縮小した寸法を有する第 1 の感光性薄膜パターン 109 が得られる。(図 1 (C)) なお、ゲート配線 102 の寸法と比較した感光性薄膜パターン 109 の縮小率は、距離 X_1 (感光性薄膜表面と反射板との間の距離)、露光量、露光時間等を変化させることで適宜調節可能である。この第 1 の感光性薄膜パターン 109 をエッチングマスクとして用い、絶縁性薄膜 106 を選択的にエッチングして、チャンネル形成領域となる領域上に絶縁性薄膜パターン 110 を形成する。(図 1 (D)) その後、第 1 の感光性薄膜パターン 109 を除去する。(図 1 (E))

【0061】

以上の工程によりセルフアライン方式でゲート配線上にパターンを形成することができる。

【0062】

次いで、上記裏面からの露光と同様のセルフアライン方式による方法を用いて感光性薄膜を形成して、再度、裏面からの露光を行う。この 2 回目の裏面からの露

光では、ゲート配線パターンの寸法より小さく、第 1 の感光性薄膜パターン 1 0 9 よりも寸法が大きくなるように距離 X_2 、露光量、露光時間等を調節し、第 2 の感光性薄膜パターンを形成する。

【 0 0 6 3 】

次いで、第 2 の感光性薄膜パターン及び絶縁性薄膜パターンをマスクとして P 型または N 型の導電型を付与する不純物を高濃度に添加する。こうして、選択的に導電型を付与する不純物が添加された領域はソース領域またはドレイン領域となる。

【 0 0 6 4 】

次いで、第 2 の感光性薄膜パターンを除去した後、絶縁性薄膜パターンをマスクとして P 型または N 型の導電型を付与する不純物を低濃度に添加する。こうして高濃度不純物領域（ソース領域／ドレイン領域）とチャネル形成領域の間に低濃度不純物領域（LDD 領域）を形成する。

【 0 0 6 5 】

従って、第 1 の感光性薄膜パターンによりチャネル形成領域の寸法が決定され、第 2 の感光性薄膜パターンにより LDD 領域の寸法が決定される。なお、本願発明のパターニング方法による感光性薄膜パターンは、ゲート配線上のみに形成されるため、LDD 領域とゲート電極とがオーバーラップした構造（いわゆる GOLDD 構造）となる。従って、TFT のオン電流の劣化が抑制され、信頼性が向上する。

【 0 0 6 6 】

また、LDD 領域に代えてオフセット領域を形成することもできる。さらに、本発明のパターニング方法によるパターニングを複数回行ない、LDD 領域とオフセット領域を形成することもできる。加えて、本発明のパターニング方法によるパターニング及び不純物の添加を適宜、複数回行うことによって、チャネル形成領域以外に異なる濃度で同一の不純物を含む少なくとも三種類以上の不純物領域を形成することもできる。

【 0 0 6 7 】

また、公知のフォトマスクを使用するパターニング方法や公知の裏面からの露光

によるパターニング方法と組み合わせて使用することもできる。

【0068】

なお、ここではボトムゲート型TFTのLDD領域を形成する例を示したが、非透過性材料からなるパターン上にマスクをパターニングする場合であれば特に限定されることなく、トップゲート構造（代表的にはプレーナ構造）にも適用できる。例えば、下層に非透過性材料からなるパターンを有する絶縁膜のパターニングや活性層のパターニングにおいても適用できる。

【0069】

また、本発明の装置を用いることにより微細な配線においても裏面露光を行うことができる。

【0070】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0071】

【実施例】

以下に本発明の実施例を説明するが、特にこれらの実施例に限定されないことは勿論である。

【0072】

【実施例1】本実施例では、本願発明を用いて、同一基板上に周辺駆動回路の一部を構成するCMOS回路と画素回路部の一部を構成する画素TFTとを作製した例を説明する。以下に本発明の半導体装置およびその作製方法の簡略断面図である図1～図5を用いて簡略に説明する。なお、簡略化のため本実施例ではNチャネル型TFTを用いて作製方法の詳細な説明を行う。

【0073】

まず、透光性を有する基板100を用意する。本実施例においては基板100としてガラス基板（コーニング1737；歪点667℃）を用いた。次に、基板100上に下地絶縁膜（以下、本明細書中では下地膜と称す）を形成した後、熱処理する。また、ここでの熱処理は基板の歪点以下、好ましくは200～700℃で行う。本実施例では、下地膜101として、TEOSと酸素（O₂）を原料ガ

スに用い、プラズマCVD装置によって膜厚200nmの酸化珪素膜を成膜した後、640℃、4時間の熱処理を行った。

【0074】

次いで、下地膜101上に導電膜を形成し、パターニングを施してゲート配線を形成する。本実施例では簡略化のため図示しないが、膜厚50nmの窒化タンタル膜と膜厚250nmのタンタル膜の積層膜を形成した後、フォトリソを用いる通常のパターニングを行い、ゲート配線102を形成した。そして、本実施例では、ゲート配線に陽極酸化処理を施してゲート配線の保護膜103を形成した。この保護膜を設けることによって、後の工程である半導体膜の結晶化により形成される結晶粒径を均一なものとすることができる。

【0075】

次いで、ゲート配線102及びその保護膜103を覆ってゲート絶縁膜104'を形成する。本実施例では、ゲート絶縁膜104'の形成手段としてプラズマCVD法を用い、膜厚が125nmである酸化珪素膜を形成した。

【0076】

次いで、ゲート絶縁膜104'上に半導体膜を形成する。本実施例では、半導体膜の形成手段としてプラズマCVD法を用い、膜厚が55nmである非晶質珪素膜を形成した。

【0077】

次いで、非晶質珪素膜からなる半導体膜を結晶化する。本実施例では、エキシマレーザー光を照射して、結晶性珪素膜105を形成した。(図1(A))

【0078】

次いで、結晶化した半導体膜105上に絶縁性薄膜106を形成する。本実施例では、絶縁性薄膜106の形成手段としてプラズマCVD法を用い、膜厚が200nmである酸化珪素膜を形成した。本実施例では酸化珪素膜を用いたが、絶縁膜であれば特に限定されない。

【0079】

次いで、絶縁性薄膜106上に第1の感光性薄膜107を形成する。本実施例では、第1の感光性薄膜の形成手段として塗布法を用い、膜厚2.3μmのポジ型

のフォトリソ膜（東京応化工業製、TSMR8900、45cP）を形成した。（図1（B））

【0080】

次いで、基板面と平行に反射板108（第1の感光性薄膜表面との距離 X_1 ）が設けられた裏面露光装置を用いてセルフアライン方式の第1の裏面露光（ここでは露光光量10mW）を行った。（図1（C））本実施例では、図1（C）中に示した第1の感光性薄膜表面との距離 $X_1=1.0\mu\text{m}$ となるように、厚さ1.0 μm のカプトンテープを反射板108と基板の間に挟み、光源からの紫外光が裏面側から基板を通過して第1の感光性薄膜（ゲート配線上の領域以外）に感光され、基板の表面側に設けられた反射板により反射・散乱された光が基板の表面側から第1の感光性薄膜全面を感光した。その後、現像すると、紫外光により感光された第1の感光性薄膜が選択的に除去されて、ゲート配線パターンの寸法より小さい第1のフォトリソパターン109が残存した。

【0081】

次いで、第1のフォトリソパターン109をエッチングマスクとして、絶縁性薄膜106を選択的に除去して絶縁性薄膜パターン110を形成した。（図1（D））

【0082】

次いで、第1のフォトリソパターン109を除去した。（図1（E））

【0083】

次いで、第2の感光性薄膜111を形成して、第1の裏面露光と同様のセルフアライン方式による方法を用いて第2の裏面露光を行う。本実施例では、第2の第2の感光性薄膜111として、第1の感光性薄膜と同じ材料を用い、第2の感光性薄膜表面との距離 X_2 を0.5 μm に調節して第2の裏面露光（ここでは露光光量10mW）を行った。（図2（B））この第2の裏面露光では、ゲート配線パターンの寸法より小さく、第1のフォトリソパターン109よりも寸法の大きな第2のフォトリソパターン112を残存させた。

【0084】

次いで、第2のフォトリソパターン112及び絶縁性薄膜パターン110を

マスクとしてN型の導電性を付与する不純物を高濃度に添加する。こうして、選択的に導電性を付与する不純物が高濃度に添加された領域113は、ソース領域またはドレイン領域となる。(図2(C))

【0085】

その後、第2のフォトリジストパターン112を除去(図2(D))して、薄い酸化珪素膜114'(50nm)を形成した。(図3(A))この酸化珪素膜114'は制御性よく不純物を低濃度に添加するための膜であって、特に形成する必要はない。なお、本実施例では酸化珪素膜を用いたが、他の絶縁性材料膜、例えば、窒化珪素膜、酸化窒化珪素膜を用いることもできる。

【0086】

次いで、N型の導電性を付与する不純物を薄い酸化珪素膜114'を介して添加することにより、選択的に不純物が低濃度に添加された領域116、117を形成する。なお、絶縁性薄膜パターン110はチャンネル形成領域を保護するマスクとしての役目を果たしている。こうして高濃度不純物領域(ソース領域/ドレイン領域)118'、119'とチャンネル形成領域115の間に低濃度不純物領域(LDD領域)116、117が形成された。本実施例では、第1のレジストパターン109によりチャンネル形成領域の寸法が決定し、第2のレジストパターン112によりLDD領域の寸法が決定する。

【0087】

本実施例では、N型の導電性を付与する不純物としてリン元素を用い、116、117で示される低濃度不純物領域のリン濃度が、SIMS分析で $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ 、118'、119'で示される高濃度不純物領域のリン濃度が、SIMS分析で $1 \times 10^{20} \sim 8 \times 10^{21} \text{ atoms/cm}^3$ になるようにそれぞれドーピング条件、ドーズ量、加速電圧を調節した。(図3(B))

【0088】

その後、N型の導電性を付与する不純物を活性化させるための熱アニール、またはレーザーアニールを行う。本実施例ではレーザー光による活性化を行った。その後、フォトリソマスクを使用する通常のパターニングにより所望の形状とし、薄い酸化珪素膜114、半導体膜115~119、及びゲート絶縁膜104を形成し

た。次いで、層間絶縁膜 120 を堆積し、ソース領域、ドレイン領域を露出させるコンタクトホールを形成した後、金属膜を形成し、これをパターンニングして、ソース領域 118、ドレイン領域 119 と接触する金属配線 121、122 を形成した。こうして、Nチャネル型 TFT の作製工程を完了した。(図 3 (C))

【0089】

なお、本実施例では Nチャネル型 TFT の作製方法を例示したが、Pチャネル型 TFT を作製する場合には、上記不純物添加工程において N型を付与する不純物イオンに代えて P型を付与するボロンイオンを添加すればよい。また、Nチャネル型 TFT と Pチャネル型 TFT とを相補的に組み合わせてなる CMOS 回路や Nチャネル型 TFT で形成された画素 TFT に本願発明を適用することも可能である。

【0090】

上記本実施例の作製方法を利用して半導体素子 (TFT) からなる半導体回路を備えた半導体装置について、図 4 及び図 5 を用いてその構造の一例を説明する。なお、本発明にかかる半導体装置は、同一基板上に周辺駆動回路部と画素回路部とを備えている。本実施例では図示を容易にするため、同一基板上に周辺駆動回路部の一部を構成する CMOS 回路と、画素回路部の一部を構成する画素 TFT (Nチャネル型 TFT) とが示されている。

【0091】

また、図 5 (A) 及び図 5 (B) は図 4 の上面図に相当する図であり、図 5 (A) 及び図 5 (B) において、点線 A-A' で切断した部分が、図 4 の画素回路の断面構造に相当し、点線 B-B' で切断した部分が、図 4 の CMOS 回路の断面構造に相当する。また、図 4 及び図 5 に使われている符号は図 1 ~ 図 3 と同一である。

【0092】

図 4 において、いずれの TFT (薄膜トランジスタ) も基板 100 上に設けられた下地膜 101 に形成される。CMOS 回路の Pチャネル型 TFT の場合には、下地膜上にゲート配線 102 が形成され、その上にゲート絶縁膜 104 が設けられている。ゲート絶縁膜上には、活性層として高濃度不純物領域 (p^+ 型領域)

418、419（ソース領域又はドレイン領域）と、チャンネル形成領域415と、前記高濃度不純物領域とチャンネル形成領域の間に低濃度不純物領域（p型領域）416、417が形成される。なお、活性層は酸化珪素膜からなる保護膜114で保護される。保護膜114の上を覆う第1の層間絶縁膜120にコンタクトホールが形成され、高濃度不純物領域418、419に配線121、123が接続され、さらにその上に第2の層間絶縁膜126が形成され、配線123に引き出し配線127が接続されて、その上を覆って第3の層間絶縁膜130が形成される。

【0093】

一方、Nチャンネル型のTFETは、活性層として高濃度不純物領域（ n^+ 型領域）118、119（ソース領域又はドレイン領域）と、チャンネル形成領域115と、前記高濃度不純物領域とチャンネル形成領域の間に低濃度不純物領域（n型領域）116、117が形成される。高濃度不純物領域118、119には配線121、122が形成され、さらに配線122には引き出し配線128が接続される。活性層以外の部分は、上記Pチャンネル型TFETと概略同一構造である。

【0094】

画素回路に形成されたNチャンネル型TFETについては、第1の層間絶縁膜120を形成する部分まで、CMOS回路のNチャンネル型TFETと同一構造である。そして、高濃度不純物領域118、119には配線124、125が接続され、その上に第2の層間絶縁膜126と、ブラックマスク129とが形成される。さらに、その上に第3の層間絶縁膜130が形成され、ITO、 SnO_2 等の透明導電膜からなる画素電極131が接続される。この画素電極131は、ブラックマスクと補助容量を形成している。

【0095】

本実施例では一例として透過型のLCDを作製したが特に限定されない。例えば、画素電極の材料として反射性を有する金属材料を用い、画素電極のパターニングの変更、または幾つかの工程の追加／削除を適宜行えば反射型のLCDを作製することが可能である。

【0096】

なお、本実施例では、画素回路の画素TFTのゲート配線をダブルゲート構造としているが、オフ電流のバラツキを低減するために、トリプルゲート構造等のマルチゲート構造としても構わない。また、開口率を向上させるためにシングルゲート構造としてもよい。

【0097】

〔実施例2〕 実施例1では、反射板を用いた裏面露光方法を2回行ない、第1のレジストパターン109によりチャンネル形成領域の寸法を決定し、第2のレジストパターン112によりLDD領域の寸法を決定した例を示した。本実施例では、反射板を用いた裏面露光方法による第1のレジストパターン109によりチャンネル形成領域の寸法を決定し、公知の露光方法によるパターンによりLDD領域の寸法を決定した例を示す。本実施例は、図2(A)の工程まで実施例1と同一であるため、その工程までの説明は省略する。

【0098】

本実施例では、実施例1に従い、図2(A)で示される状態を得た後、公知の裏面からの露光を行ない、ゲート配線と同一形状を有する第2の感光性薄膜からなるパターンを形成した。この第2の感光性薄膜からなるパターンによりLDD領域の寸法を決定した。以降の工程は実施例1に従い、半導体装置を完成した。公知の裏面からの露光方法もセルフアライン方式であるため、実施例1と同様にフォトリソの使用枚数を削減することができた。

【0099】

なお、本実施例では、本願発明である反射板を用いた裏面露光方法により第1のレジストパターン109を形成したが、第1の感光性薄膜からなるパターンを公知の露光方法を用い、第2の感光性薄膜からなるパターンを本発明の裏面露光方法により形成する構成としてもよい。本実施例は公知の露光方法との組み合わせが容易であり、その組み合わせ方は自由である。

【0100】

〔実施例3〕 本実施例では、図1(B)において、実施例1と異なる感光性薄膜材料を用いた場合の例について説明する。本実施例は、図1(A)の工程まで実施例1と同一であるため、その工程の説明は省略する。

【0 1 0 1】

本実施例では、実施例 1 のフォトリソ材料（東京応化工業製、T S M R 8 9 0 0）と比較して高い解像度を有するポジ型レジスト材料（東京応化工業製、T H M R 3 3 0 0 L D）を用いた。こうすることにより、極めて正確に露光することができ、感光性薄膜からなるパターンを形成することができた。この感光性薄膜からなるパターンの精度を高めることにより、チャネル形成領域の形状を正確に形成することができるため、T F T 間の電気特性のバラツキを低減することができる。

【0 1 0 2】

以降の工程は実施例 1 に従い、図 4 に示した半導体装置を完成した。

【0 1 0 3】

なお、本実施例は実施例 1、実施例 2 との組み合わせが容易であり、その組み合わせ方は自由である。

【0 1 0 4】

〔実施例 4〕 実施例 1 では、チャネル形成領域以外に異なる濃度で同一の不純物を含む二種類の不純物領域を形成したが、本実施例では、チャネル形成領域以外に異なる濃度で同一の不純物を含む少なくとも三種類以上の不純物領域を形成する例を説明する。本実施例は、図 3（B）の工程まで実施例 1 と同一であるため、その工程までの説明は省略する。

【0 1 0 5】

本実施例では、実施例 1 に従い、図 3（B）で示される状態を得た後、さらに第 3 の感光性薄膜からなるパターンを本発明の裏面露光方法、または公知の方法により形成し、不純物のドーピングを行って、チャネル形成領域以外に異なる濃度で同一の不純物を含む少なくとも三種類の不純物領域を形成した。ただし、第 3 の感光性薄膜からなるパターンは、第 1 のレジストパターンより大きく、第 2 のレジストパターンより小さい形状とした。以降の工程は実施例 1 に従い、半導体装置を完成した。

【0 1 0 6】

なお、チャネル形成領域からソース領域（またはドレイン領域）に向かって不純

物濃度が高くなるように多段階に形成することが望ましい。こうすることで、電界の緩和効果が大きくなってホットキャリア耐性が高まる。本実施例を利用して形成された半導体装置は、TFTが優れた信頼性を有するため、半導体装置全体として信頼性が大幅に向上した。

【0107】

なお、本実施例は実施例1～3との組み合わせが容易であり、その組み合わせ方は自由である。

【0108】

〔実施例5〕 本実施例では、チャンネル保護膜を形成するための第1のマスクを本発明の裏面露光方法を用いてパターニングし、ソース領域およびドレイン領域形成の際に用いられる第2のマスクを通常の露光方法（フォトリソグラフィを使用）を用いた一例を以下に示す。

【0109】

特に、ボトムゲートTFTにおいては、LDD領域とチャンネル形成領域との境界をゲート配線上方の位置、且つ、ゲート配線の端部からある程度離れた位置（例えばTFTのサイズが $L/W=8/8$ である場合、約 $1\mu\text{m}$ 程度離れた位置）に形成するとホットキャリアによるオン電流値（TFTがオン動作時に流れるドレイン電流）の劣化を防ぐことができるため、本発明の裏面露光装置を用いて第1のマスクを形成することが適している。

【0110】

また、LDD領域とソース領域（またはドレイン領域）との境界をゲート配線上方以外の領域、且つ、ゲート配線の端部からある程度離れた位置（例えばTFTのサイズが $L/W=8/8$ である場合、約 $1\mu\text{m}$ 程度離れた位置）に形成するとTFTのリーク電流が低減できるため、フォトリソグラフィを使用する公知の裏面露光方法を用いて第2のマスクを形成することが適している。

【0111】

本実施例について図7～図10を用いて説明する。ここでは、表示領域の画素TFTと、表示領域の周辺に設けられる駆動回路のTFTを同時に作製する方法について工程に従って詳細に説明する。

【0112】

(ゲート電極、ゲート絶縁膜、結晶質半導体膜の形成：図7(A))

図7(A)において、基板701には低アルカリガラス基板や石英基板を用いることができる。この基板701のTFTを形成する表面には、酸化シリコン膜、窒化シリコン膜または窒化酸化シリコン膜などの絶縁膜を形成しておいても良い(図示せず)。ゲート電極702~704と容量配線705とは、タンタル(Ta)、チタン(Ti)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、アルミニウム(Al)から選ばれた元素またはいずれかを主成分とする材料を用い、スパッタ法や真空蒸着法などの公知の成膜法を用いて被膜を形成した後、端面がテーパ形状となるようにエッチング処理してパターン形成した。本実施例では、スパッタ法で膜厚50nmの窒化タンタル(TaN)膜と膜厚250nmのTa膜とを積層形成し、所定の形状にレジストマスクを形成した後、 CF_4 と O_2 の混合ガスでプラズマエッチング処理をすれば所望の形状に加工することができる。ここでは簡略化のため、2層であることを図示していない。また、ゲート電極は窒化タングステン(WN)とWなどによる2層構造としても良い。また、ここでは図示はしていないがゲート電極に接続するゲート配線も同時に形成する。

【0113】

ゲート絶縁膜706は酸化シリコン、窒化シリコンを成分とする材料で、10~200nm、好ましくは50~150nmの厚さで形成する。例えばプラズマCVD法で、 SiH_4 、 NH_3 、 N_2 を原料とした窒化シリコン膜706aを50nm、 SiH_4 と N_2O を原料とした窒化酸化シリコン膜706bを75nmの厚さに積層形成してゲート絶縁膜としても良い。勿論、窒化シリコン膜や酸化シリコン膜からなる一層としても何ら差し支えない。また、清浄な表面を得るために、ゲート絶縁膜の成膜の前にプラズマ水素処理を施すことは適切な処置として用いることができる。

【0114】

次に、TFTの活性層となる結晶質半導体膜の形成を行った。結晶質半導体膜の材料にはシリコンを用いた。まず、ゲート絶縁膜706に密接して、20~1

50 nmの厚さで非晶質シリコン膜をプラズマCVD法やスパッタ法などの公知の成膜法で形成した。非晶質シリコン膜の作製条件に限定されるものはないが、膜中に含まれる酸素、窒素の不純物元素を $5 \times 10^{18} \text{ cm}^{-3}$ 以下に低減させておくことが望ましい。また、ゲート絶縁膜と非晶質シリコン膜とは同じ成膜法で形成することが可能なので、両者を連続形成しても良い。ゲート絶縁膜を形成した後、一旦大気雰囲気には晒さないことでその表面の汚染を防ぐことが可能となり、作製するTFETの特性バラツキやしきい値電圧の変動を低減させることができる。そして公知の結晶化技術を使用して結晶質シリコン膜707を形成する。例えば、レーザーアニール法や、熱アニール法（固相成長法）、または特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜707を形成しても良い。

【0115】

結晶質シリコン膜707のnチャネル型TFETが形成される領域には、しきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度のボロン（B）を添加しておいても良い。ボロン（B）の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。

【0116】

（マスクの形成（裏面露光）：図7（B））

次に、nチャネル型TFETのLDD領域となる低濃度不純物領域を形成するために、n型を付与する不純物元素の添加を行うためのマスクを形成した。まず、結晶質シリコン膜707の表面に酸化シリコン膜や窒化シリコン膜から成るマスク絶縁膜708を100～200 nm、代表的には120 nmの厚さに形成した。この表面にフォトリソ膜を全面に形成した後、本発明の裏面露光法によりゲート電極702～704をマスクとしてフォトリソ膜を感光させた。本実施例では、露光光量を10 mWとし、反射版700とフォトリソ膜表面との距離Xを500 μm とした。距離Xを500 μm としたのは、露光光量が10 mWである時の最適値であったためである。なお、この距離Xが0.1 μm ～1000 μm の範囲であれば自由に調節できる本発明の露光装置（図6に示した）を用いた。裏面露光工程の後、現像して感光したフォトリソ膜を除去すれば、ゲ

ート電極上であってゲート電極の内側にレジストマスク 709～712 を形成することができる。

【0117】

(n^- 領域の形成：図 7 (C))

本発明の裏面露光装置により得たレジストマスク 709～712 をマスクとし、マスク絶縁膜 708 を介してその下側にある結晶質シリコン膜に n 型を付与する不純物元素をイオンドープ法（イオン注入法でも良い）で添加した。半導体の技術分野において n 型を付与する不純物元素には、周期律表第 15 族の元素からリン (P)、砒素 (As)、アンチモン (Sb) などが適用され、ここではリン (P) を用いた。形成した低濃度不純物領域 713～718 のリン (P) 濃度は $1 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ の範囲とすることが望ましく、ここでは、 $5 \times 10^{17} \text{ cm}^{-3}$ とした。本明細書中では、不純物領域 713～718 に含まれる n 型を付与する不純物元素の濃度を (n^-) と表す。

【0118】

(チャネル保護膜形成：図 8 (A))

次に、このレジストマスクを使用してマスク絶縁膜 708 をエッチング除去し、チャネル保護膜 719～722 を形成した。下地となる結晶質シリコン膜 707 に対して選択性良くマスク絶縁膜 708 をエッチングするために、ここではフッ酸系の溶液を用いたウエットエッチング法を採用した。勿論、ドライエッチング法で実施しても良く、例えば CHF_3 ガスで絶縁膜 708 をエッチングすることができる。また、この工程ではオーバーエッチングして、レジストマスク 709～712 の端面より内側にチャネル保護膜 719～722 が形成されるようにしてもよい。

【0119】

(n^+ 領域の形成：図 8 (B))

次に n チャネル型 TFT において、ソース領域またはドレイン領域として機能する高濃度不純物領域の形成をする工程を行った。ここでは、通常の露光法でレジストによるマスク 723～725 を形成した。そして、このレジストマスクを用いて容量配線 705 上のチャネル保護膜 722 をエッチングして除去した。次

いで、結晶質シリコン膜 707 に n 型を付与する不純物元素が添加された高濃度不純物領域 726～730 をイオンドープ法（イオン注入法でも良い）で形成した。この高濃度不純物領域 726～730 には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ cm}^{-3}$ とすれば良く、ここでは $5 \times 10^{20} \text{ cm}^{-3}$ の濃度で不純物元素を含ませた。この濃度を本明細書中では (n^+) と表す。

【0120】

（ p^+ 領域の形成：図 8（C））

次に、駆動回路の p チャネル型 TFT のソース領域およびドレイン領域とする高濃度不純物領域を形成するために、p 型を付与する不純物元素を添加する工程を行った。半導体の技術分野において p 型を付与する不純物元素には、周期律表第 13 族の元素からボロン（B）、アルミニウム（Al）、ガリウム（Ga）などが適用され、ここではボロン（B）を用いた。チャネル保護膜 719 上の内側に位置するようにマスク 731 を形成し、n チャネル型 TFT を形成する領域はすべてレジストマスク 733 で覆った。さらに、フッ酸系の溶液を用いたウエットエッチング法でチャネル保護膜 719 の端部がほぼマスク 731 の端部と一致するようにエッチング処理して新たな形状を有するチャネル保護絶縁膜 719b を形成した。そして、ジボラン（ B_2H_6 ）を用いたイオンドープ法（イオン注入法を用いても良い）で高濃度不純物領域 734～736 を形成した。不純物領域 734～736 は結晶質シリコン膜の表面から不純物元素が添加され、この領域のボロン（B）濃度を $1.5 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の範囲とし、ここでは $2 \times 10^{21} \text{ cm}^{-3}$ とした。本明細書中では、ここで形成された不純物領域 734～736 に含まれる p 型を付与する不純物元素の濃度を (p^+) と表す。このようにして、p チャネル型 TFT の高濃度不純物領域のチャネル形成領域と接する端部を、前の工程で形成した低濃度不純物領域 713、714 の端部よりチャネル形成領域側に設けることにより、この部分における接合状態を良好なものとすることができる。

【0121】

図 7（B）～図 8（A）で示したように、不純物領域 735、736 には前の工程でリン（P）が添加されているので、ボロン（B）とリン（P）が混在した

領域が形成されるが、この工程で添加するボロン（B）濃度をその1.5～3倍とすることでp型の導電性が確保され、TFTの特性に何ら影響を与えることはなかった。本明細書中ではこの領域を領域（A）とする。そして、領域（A）のチャネル形成領域側にある不純物領域734はボロン（B）のみを含む領域であり、本明細書中ではこの領域を領域（B）とする。

【0122】

（保護絶縁膜の形成、活性化の工程、水素化の工程：図9（A））

結晶質シリコン膜にそれぞれの不純物元素を選択的に添加したら、結晶質シリコン膜をエッチング処理して島状に分割し、後に第1の層間絶縁膜の一部となる保護絶縁膜737を形成した。保護絶縁膜737は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は100～400nmとすれば良い。

【0123】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行った。この工程はファーンেসアニール法、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）などで行うことができる。さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、活性層を水素化する工程を行った。この工程は熱的に励起された水素により活性層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0124】

活性層となる結晶質シリコン膜707を、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製した場合、結晶質シリコン膜707中にはおよそ $1 \times 10^{17} \sim 5 \times 10^{19} \text{ cm}^{-3}$ の触媒元素が残留した。勿論、そのような状態でもTFTを完成させ動作させることに問題はないが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン（P）によるゲッタリング作用を利用する手段があった。ゲッタリングに必要なリン（P）の濃度は図8（B）で形成した不純物領域（ n^+ ）と

同程度であり、ここで実施される活性化工程の熱処理により、nチャネル型TFTおよびpチャネル型TFTのチャネル形成領域から、リン(P)が添加されている高濃度不純物領域へ触媒元素をゲッタリングすることができた。その結果チャネル形成領域の触媒元素濃度を $5 \times 10^{17} \text{ cm}^{-3}$ 以下とすることが可能となり、前記不純物領域には $1 \times 10^{18} \sim 5 \times 10^{20} \text{ cm}^{-3}$ の触媒元素が偏析した。

【0125】

(層間絶縁膜の形成、ソース・ドレイン配線の形成、パッシベーション膜の形成、画素電極の形成：図9(B))

活性化工程を終えたら、保護絶縁膜737の上に500～1500nmの厚さの層間絶縁膜738を形成した。前記保護絶縁膜737と層間絶縁膜738とでなる積層膜を第1の層間絶縁膜とした。その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールを形成して、ソース配線739～741と、ドレイン配線742、743を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0126】

保護絶縁膜737と層間絶縁膜738とは、窒化シリコン膜、酸化シリコン膜または窒化酸化シリコン膜などで形成すれば良いが、いずれにしても膜の内部応力を圧縮応力としておくと良かった。

【0127】

次に、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を用い、パッシベーション膜744を50～500nm(代表的には100～300nm)の厚さで形成した。その後、この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜744に開口部を形成しておいても良い。

【0128】

その後、有機樹脂膜からなる第2の層間絶縁膜745を約 $1\mu\text{m}$ の厚さに形成した。適用できる有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、 300°C で焼成して形成した。そして、第2の層間絶縁膜745、パッシベーション膜744にドレイン配線743に達するコンタクトホールを形成し、画素電極746を設けた。画素電極746は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を 100nm の厚さにスパッタ法で形成した。

【0129】

以上の工程で、同一の基板上に表示領域の画素TFTと、表示領域の周辺に設けた駆動回路のTFTとを形成することができた。駆動回路には、nチャネル型TFT768とpチャネル型TFT767が形成され、CMOS回路を基本としたロジック回路を形成することを可能とした。画素TFT769はnチャネル型TFTであり、さらに容量配線705と半導体層766と、その間に形成されている絶縁膜とから保持容量770が画素TFT769に接続している。

【0130】

なお、本実施例は実施例1～4との組み合わせが容易であり、その組み合わせ方は自由である。

【0131】

〔実施例6〕 本実施例では、画素TFTと駆動回路が形成された基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図10に示すように、実施例5に示した図9（B）の状態の基板に対し、配向膜901を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の基板902には、遮光膜903、透明導電膜904および配向膜905を形成する。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。そして、画素TFTと駆動回路が形成された一方の基板と対向基板とを、公知のセル組み工程によってシール材（図示せ

ず)や柱状スペーサ907などを介して貼りあわせる。その後、両基板の間に液晶材料906を注入し、封止剤(図示せず)によって完全に封止した。液晶材料には公知の液晶材料を用いれば良い。このようにして図10に示すアクティブマトリクス型液晶表示装置を完成する。

【0132】

なお、本実施例は実施例1～5との組み合わせが容易であり、その組み合わせ方は自由である。

【0133】

〔実施例7〕 本実施例では、本願発明によって作製された液晶表示装置の例を図11に示す。

【0134】

図11において800は絶縁表面を有する基板(酸化シリコン膜を設けたプラスチック基板)、801は画素回路、802は走査線駆動回路、803は信号線駆動回路、830は対向基板、810はFPC(フレキシブルプリントサーキット)、820はロジック回路である。ロジック回路820としては、D/Aコンバータ、 γ 補正回路、信号分割回路などの従来ICで代用していた様な処理を行う回路を形成することができる。勿論、基板上にICチップを設けて、ICチップ上で信号処理を行うことも可能である。

【0135】

さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であればEL(エレクトロルミネッセンス)表示装置やEC(エレクトロクロミックス)表示装置に本願発明を適用することも可能であることは言うまでもない。

【0136】

また、本願発明を用いて作製できる液晶表示装置は透過型か反射型かは問わない。どちらを選択するのも実施者の自由である。この様に本願発明はあらゆるアクティブマトリクス型の電気光学装置(半導体装置)に対して適用することが可能である。

【0137】

なお、本実施例に示した半導体装置を作製するにあたって、実施例 1～実施例 6 のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。

【0138】

〔実施例 8〕 本願発明は従来の IC 技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体回路に適用できる。例えば、ワンチップ上に集積化された RISC プロセッサ、ASIC プロセッサ等のマイクロプロセッサに適用しても良いし、液晶用ドライバー回路（D/A コンバータ、 γ 補正回路、信号分割回路等）に代表される信号処理回路や携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

【0139】

また、マイクロプロセッサ等の半導体回路は様々な電子機器に搭載されて中枢回路として機能する。代表的な電子機器としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両（自動車や電車等）の制御用コンピュータなども挙げられる。本願発明はその様な半導体装置に対しても適用可能である。

【0140】

なお、本実施例に示した半導体装置を作製するにあたって、実施例 1～実施例 7 のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。

【0141】

〔実施例 9〕

本発明を実施して形成された TFT は様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を実施できる。

【0142】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ウェアラブルディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ

、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 12 に示す。

【0143】

図 12 (A) はパーソナルコンピュータであり、本体 2001、画像入力部 2002、表示装置 2003、キーボード 2004 で構成される。本願発明を画像入力部 2002、表示装置 2003 やその他の信号制御回路に適用することができる。

【0144】

図 12 (B) はビデオカメラであり、本体 2101、表示装置 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 で構成される。本願発明を表示装置 2102、音声入力部 2103 やその他の信号制御回路に適用することができる。

【0145】

図 12 (C) はモバイルコンピュータ（モービルコンピュータ）であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示装置 2205 で構成される。本願発明は表示装置 2205 やその他の信号制御回路に適用できる。

【0146】

図 12 (D) はゴーグル型ディスプレイであり、本体 2301、表示装置 2302、アーム部 2303 で構成される。本発明は表示装置 2302 やその他の信号制御回路に適用することができる。

【0147】

図 12 (E) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2401、表示装置 2402、スピーカ部 2403、記録媒体 2404、操作スイッチ 2405 で構成される。なお、この装置は記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示装置 2402 やその他の信号制御回路に適用することができる。

【0148】

図 12 (F) はデジタルカメラであり、本体 2501、表示装置 2502、接眼部 2503、操作スイッチ 2504、受像部（図示しない）で構成される。本願発明を表示装置 2502 やその他の信号制御回路に適用することができる。

【0149】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1～8 のどのような組み合わせからなる構成を用いても実現することができる。

【0150】

[実施例 10]

本発明を実施して形成された T F T は様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を実施できる。

【0151】

その様な電子機器としては、プロジェクター（リア型またはフロント型）などが挙げられる。それらの一例を図 13 に示す。

【0152】

図 13 (A) はフロント型プロジェクターであり、表示装置 2601、スクリーン 2602 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0153】

図 13 (B) はリア型プロジェクターであり、本体 2701、表示装置 2702、ミラー 2703、スクリーン 2704 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0154】

なお、図 13 (C) は、図 13 (A) 及び図 13 (B) 中における表示装置 2601、2702 の構造の一例を示した図である。表示装置 2601、2702 は、光源光学系 2801、ミラー 2802、2804～2806、ダイクロイックミラー 2803、プリズム 2807、液晶表示装置 2808、位相差板 2809、投射光学系 2810 で構成される。投射光学系 2810 は、投射レンズを含

む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 13 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IR フィルム等の光学系を設けてもよい。

【0155】

また、図 13 (D) は、図 13 (C) 中における光源光学系 2801 の構造の一例を示した図である。本実施例では、光源光学系 2801 は、リフレクター 2811、光源 2812、2813、2814、偏光変換素子 2815、集光レンズ 2816 で構成される。なお、図 13 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IR フィルム等の光学系を設けてもよい。

【0156】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1～8 のどのような組み合わせからなる構成を用いても実現することができる。

【0157】

【発明の効果】

本発明を利用することにより、フォトマスクを使った露光装置等を使用することなく、セルフアライン方式でパターンの形成が可能となった。従って、フォトマスクの位置合わせによるバラツキは生じないため、TFT の特性のバラツキを低減することができる。特に、ボトムゲート型 TFT の作製方法に本発明のセルフアライン方式のパターン形成方法を用いることによって、ゲート配線上に所望の寸法の LDD 領域やオフセット領域を形成することができる。

【0158】

また、本発明を利用することにより、短時間で光を廻り込ませるため、微細な配線であっても配線上方の内側にパターンを形成することができる。

【図面の簡単な説明】

【図 1】 本願発明の作製工程一例を示す図（実施例 1）

- 【図 2】 本願発明の作製工程一例を示す図（実施例 1）
- 【図 3】 本願発明の作製工程一例を示す図（実施例 1）
- 【図 4】 本願発明の構成の一例を示す断面構造図（実施例 1）
- 【図 5】 本願発明の構成の一例を示す上面図（実施例 1）
- 【図 6】 本発明の露光装置
- 【図 7】 本願発明の作製工程一例を示す図（実施例 5）
- 【図 8】 本願発明の作製工程一例を示す図（実施例 5）
- 【図 9】 本願発明の作製工程一例を示す図（実施例 5）
- 【図 1 0】 液晶表示装置の断面構造を示す図（実施例 6）
- 【図 1 1】 アクティブマトリクス型の表示装置（実施例 7）
- 【図 1 2】 電子機器の一例を示す図（実施例 9）
- 【図 1 3】 電子機器の一例を示す図（実施例 1 0）
- 【図 1 4】 従来の作製工程一例を示す図

【符号の説明】

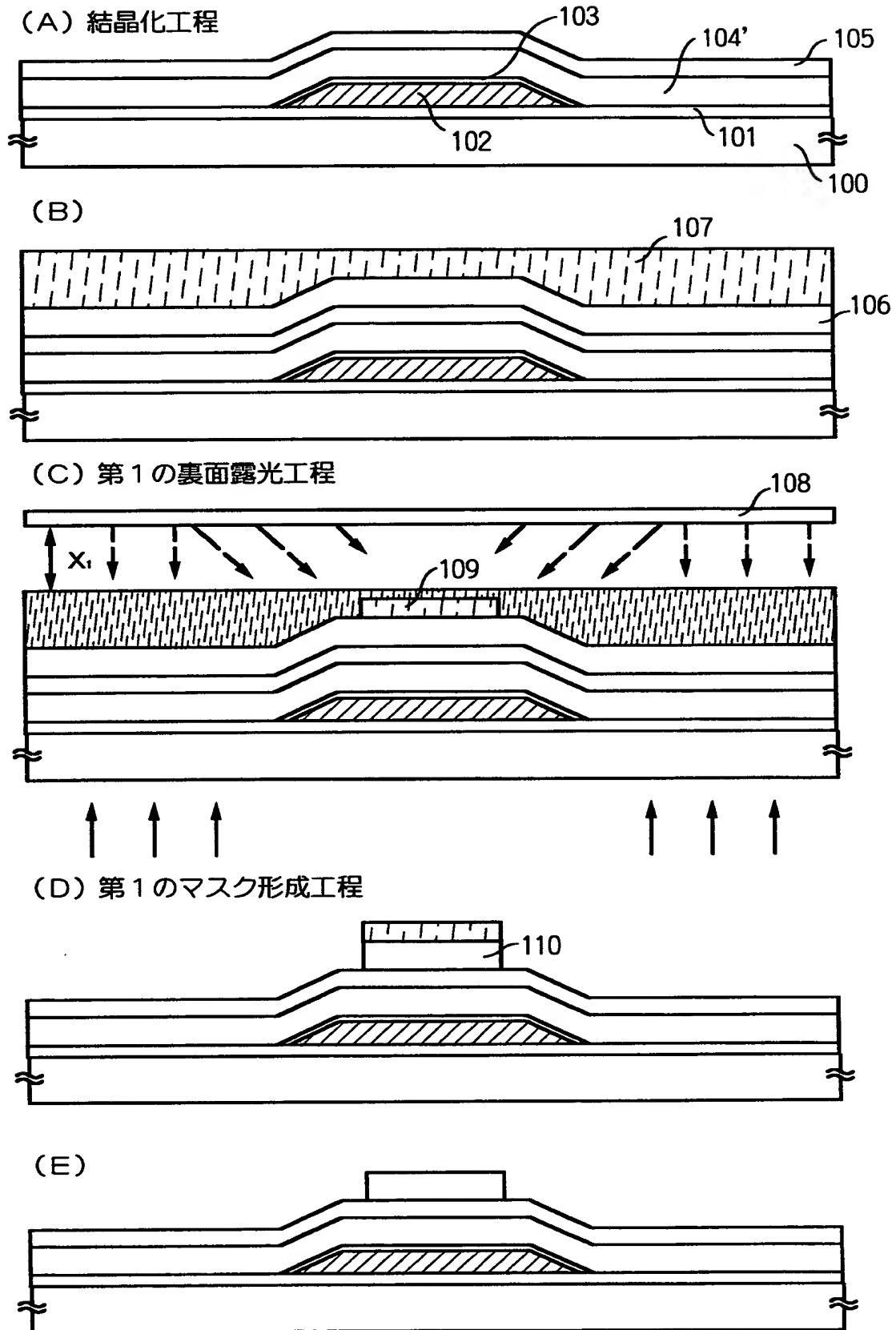
- 1 0 0 基板
- 1 0 1 下地膜
- 1 0 2 ゲート配線
- 1 0 3 保護膜
- 1 0 4 ゲート絶縁膜
- 1 0 5 半導体膜
- 1 0 6 絶縁性薄膜
- 1 0 7 感光性薄膜
- 1 0 8 反射板
- 1 0 9 第 1 のレジストパターン
- 1 1 0 マスクパターン
- 1 1 1 感光性薄膜
- 1 1 2 第 2 のレジストパターン
- 1 1 3 高濃度不純物領域
- 1 1 5 チャネル形成領域

1 1 6、1 1 7	L D D 領域
1 1 8	ソース領域
1 1 9	ドレイン領域
1 2 0	層間絶縁膜
1 2 1、1 2 2	配線

特平 1 1 - 1 9 6 7 3 4

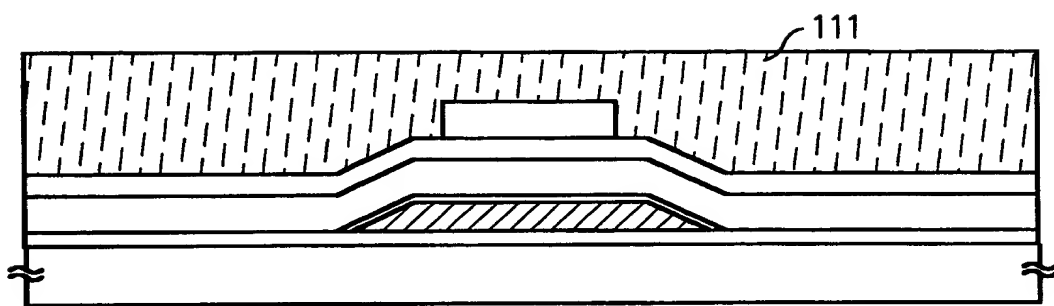
【書類名】 図面

【図 1】

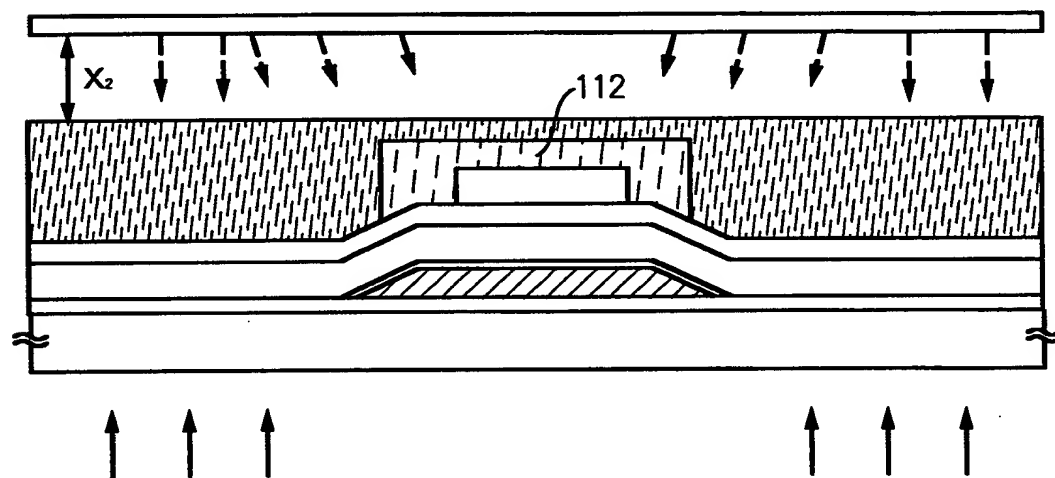


【図 2】

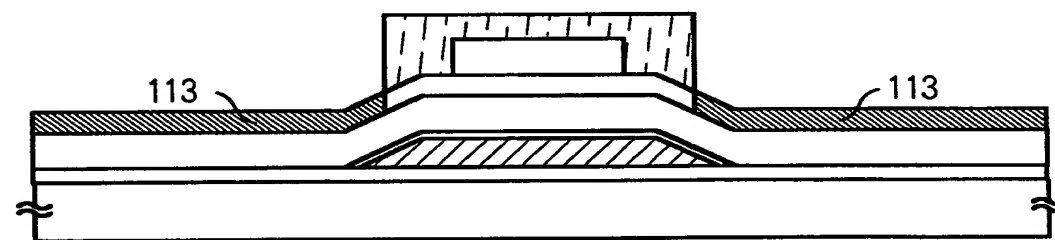
(A)



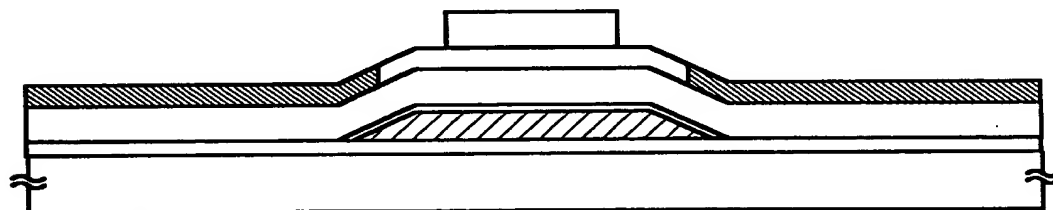
(B) 第2の裏面露光工程



(C) 第1の不純物添加工程（高濃度）

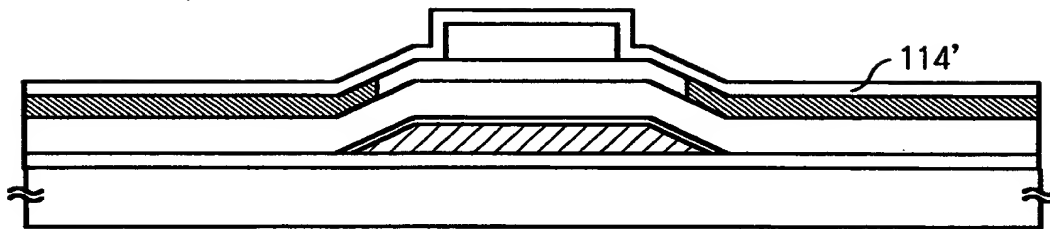


(D)

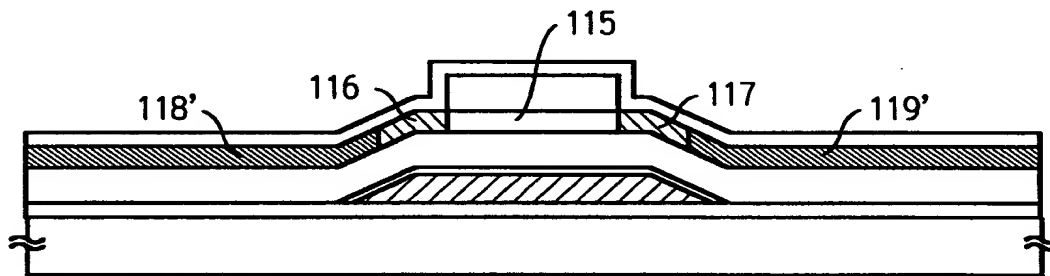


【図 3】

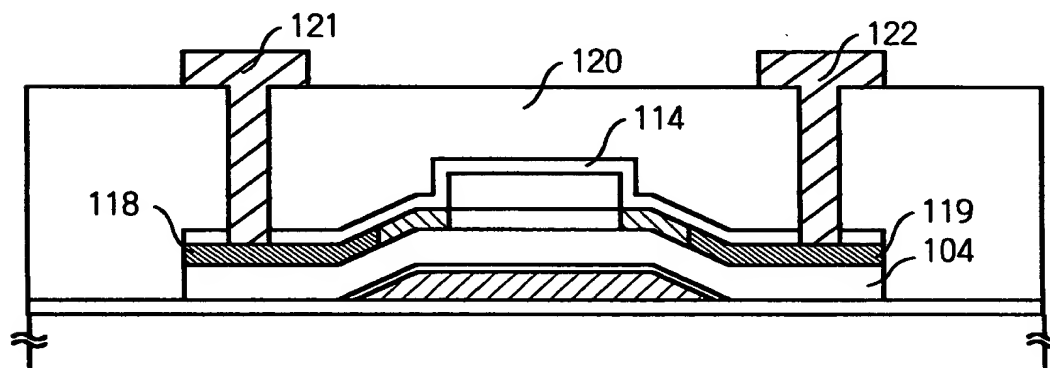
(A)



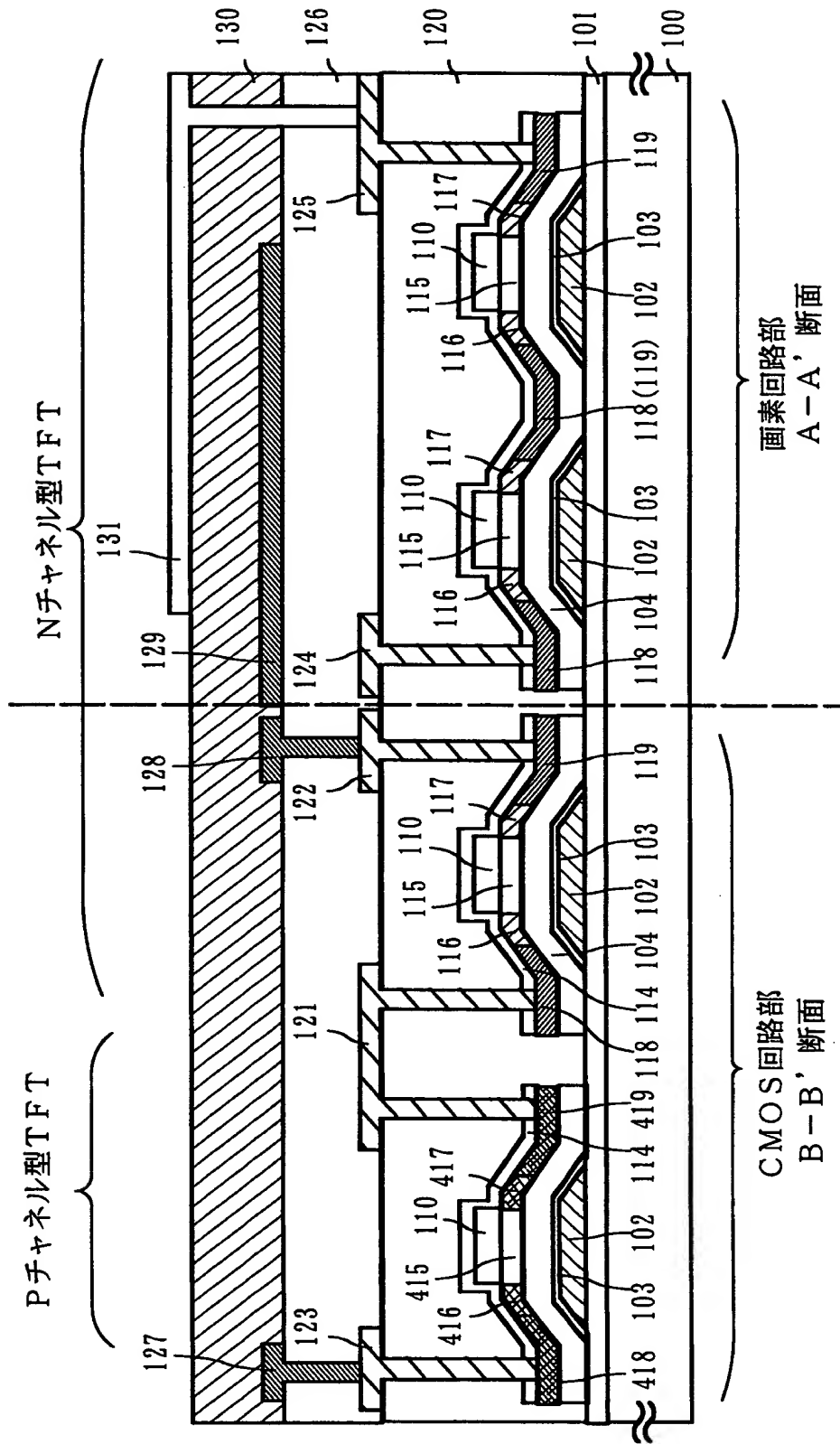
(B) 第2の不純物添加工程（低濃度）



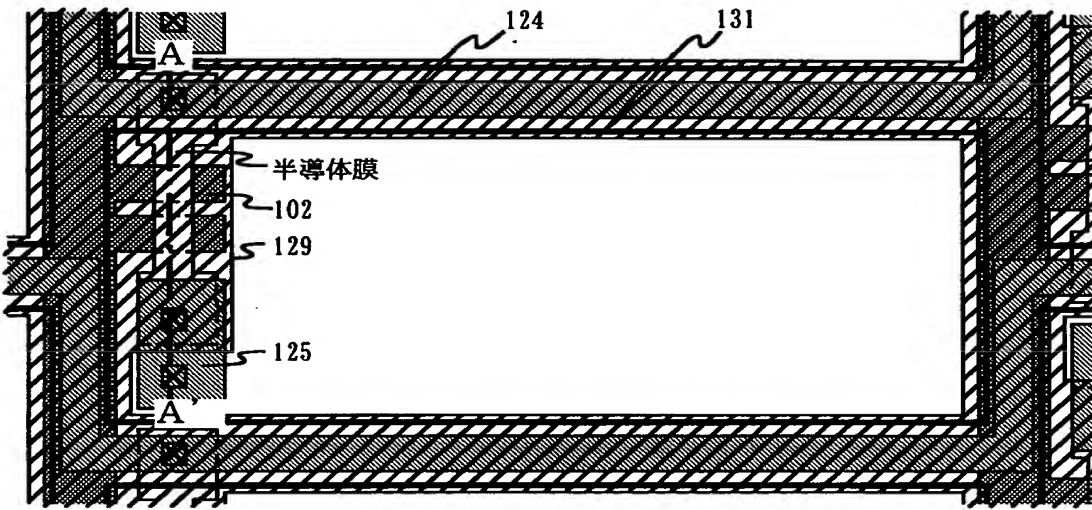
(C) 層間絶縁膜、配線形成工程



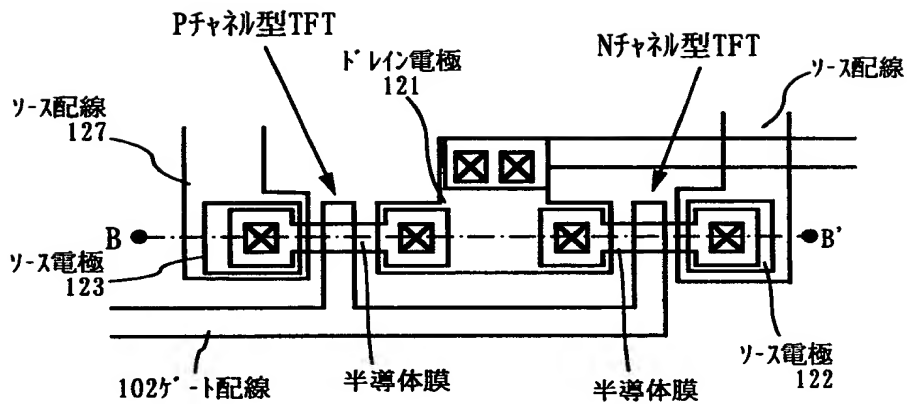
【図 4】



【図 5】

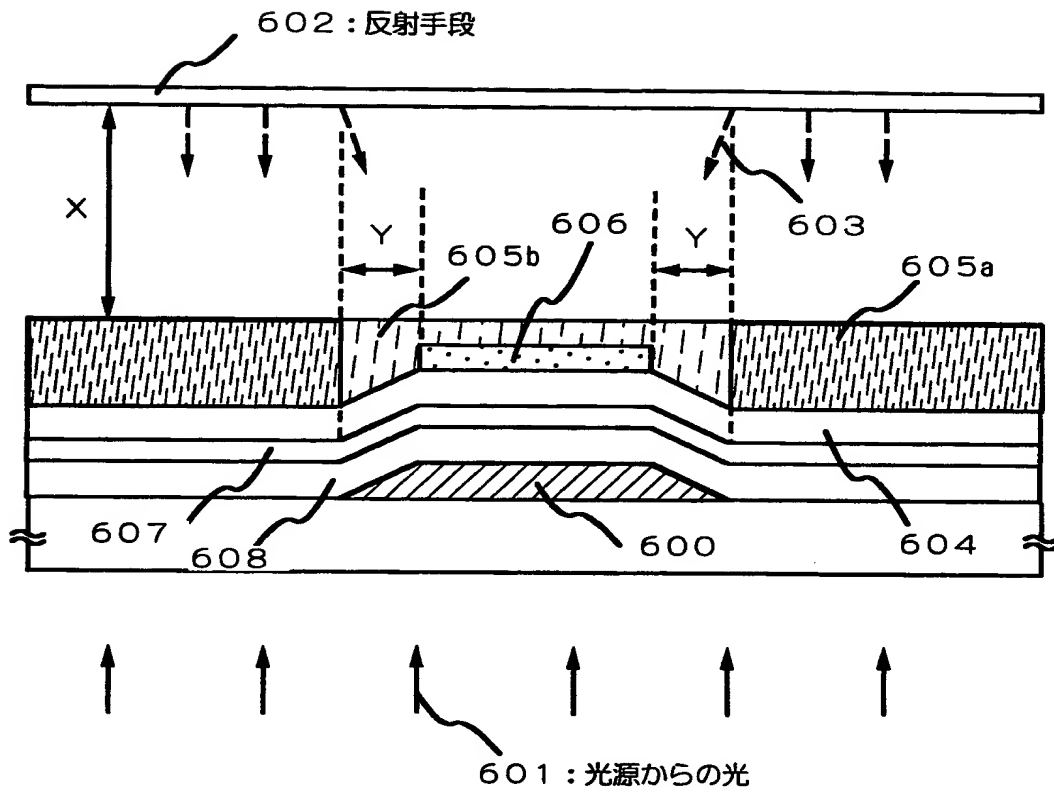


(A) 画素部の上面図



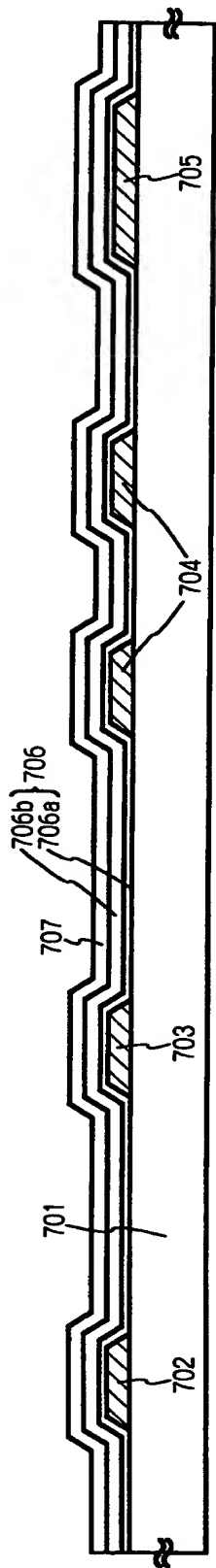
(B) CMOS回路の上面図

【図 6】

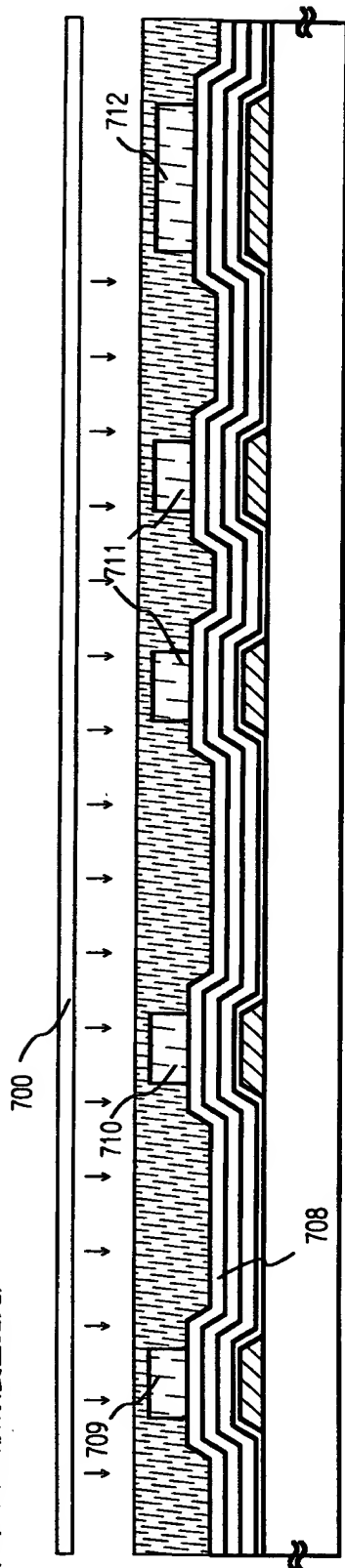


【図 7】

(A) ゲート配線の形成、ゲート絶縁膜の形成、結晶質半導体膜の形成

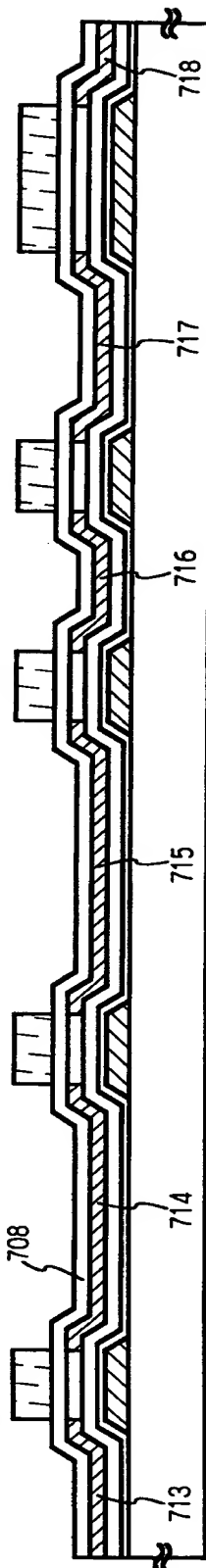


(B) 700の形成(裏面露光)



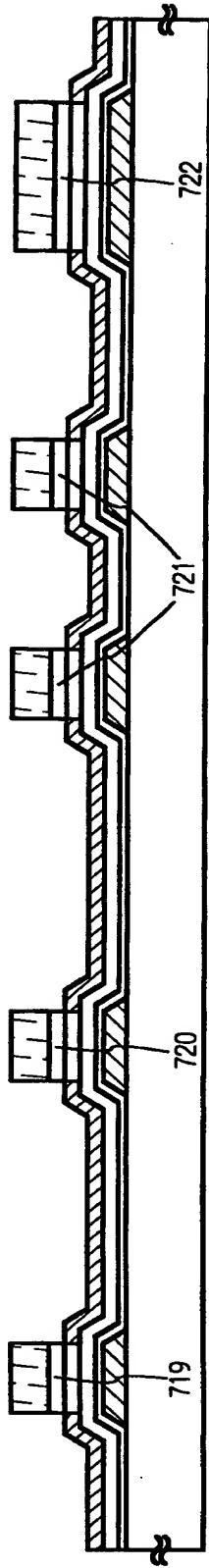
裏面露光

(C) n-領域の形成 ↓ n型を付与する不純物の添加

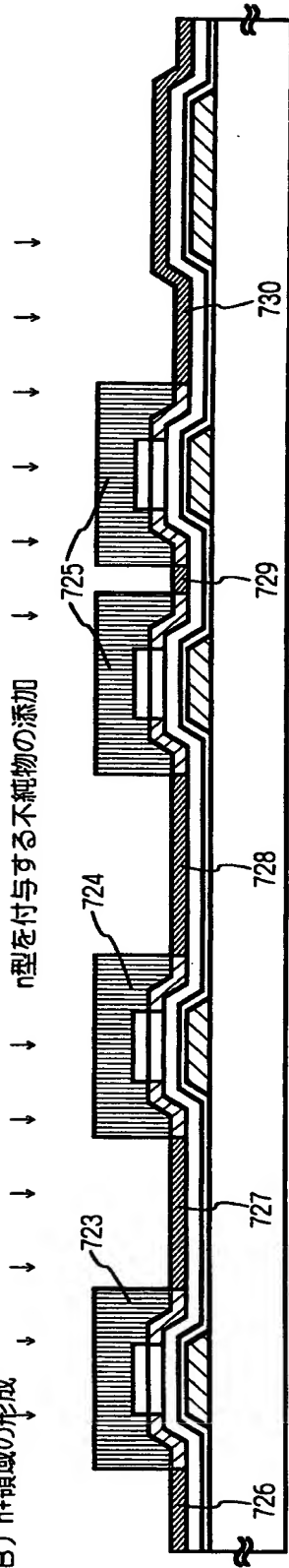


【図 8】

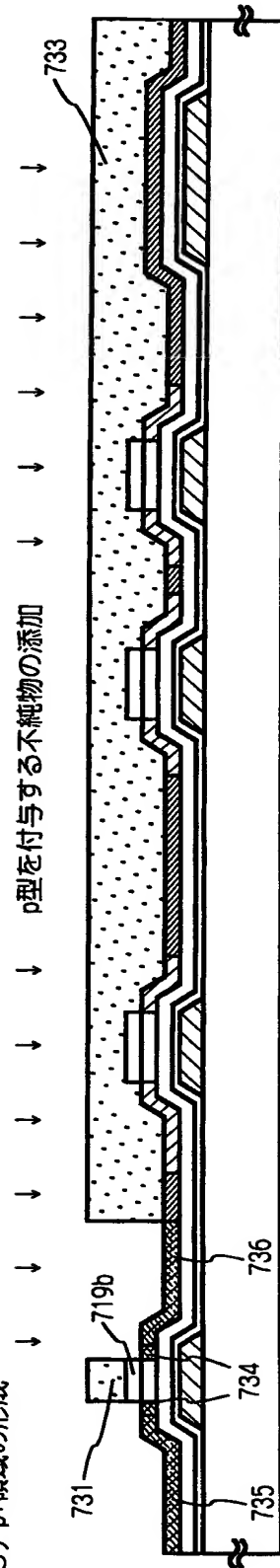
(A) 初期保護膜の形成



(B) n+領域の形成

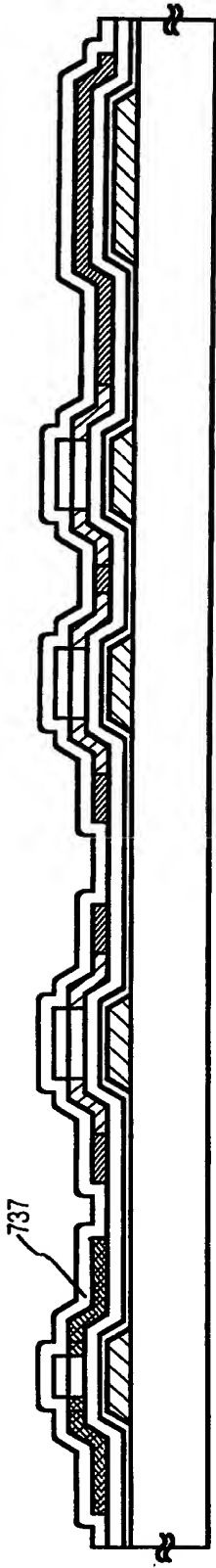


(C) p+領域の形成

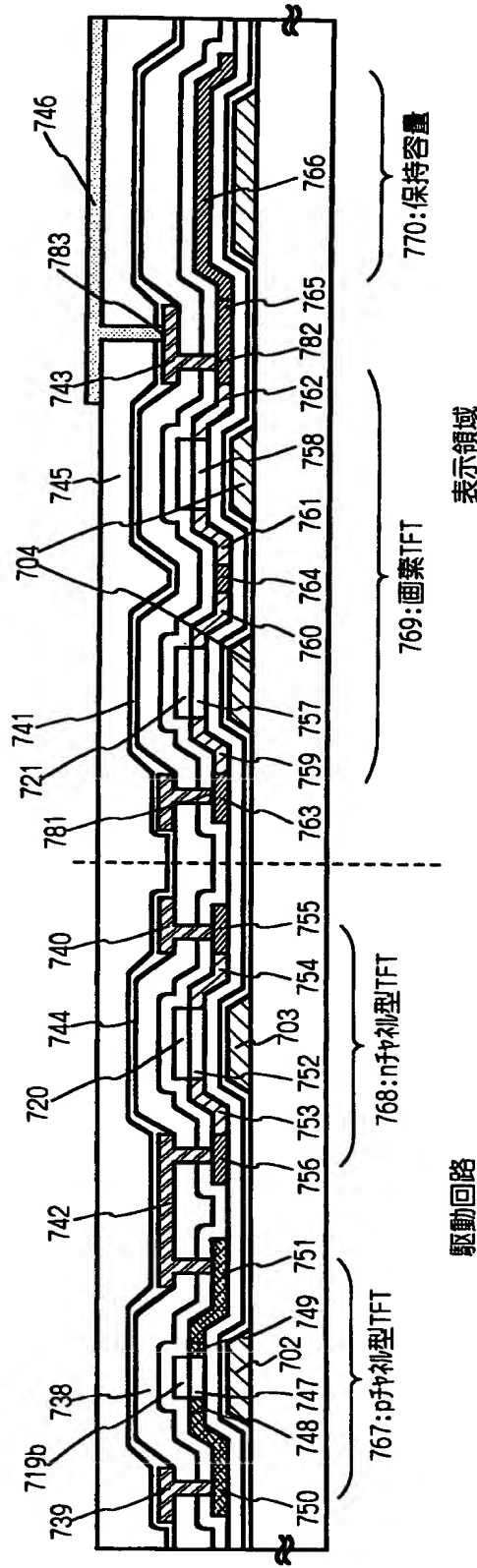


【図 9】

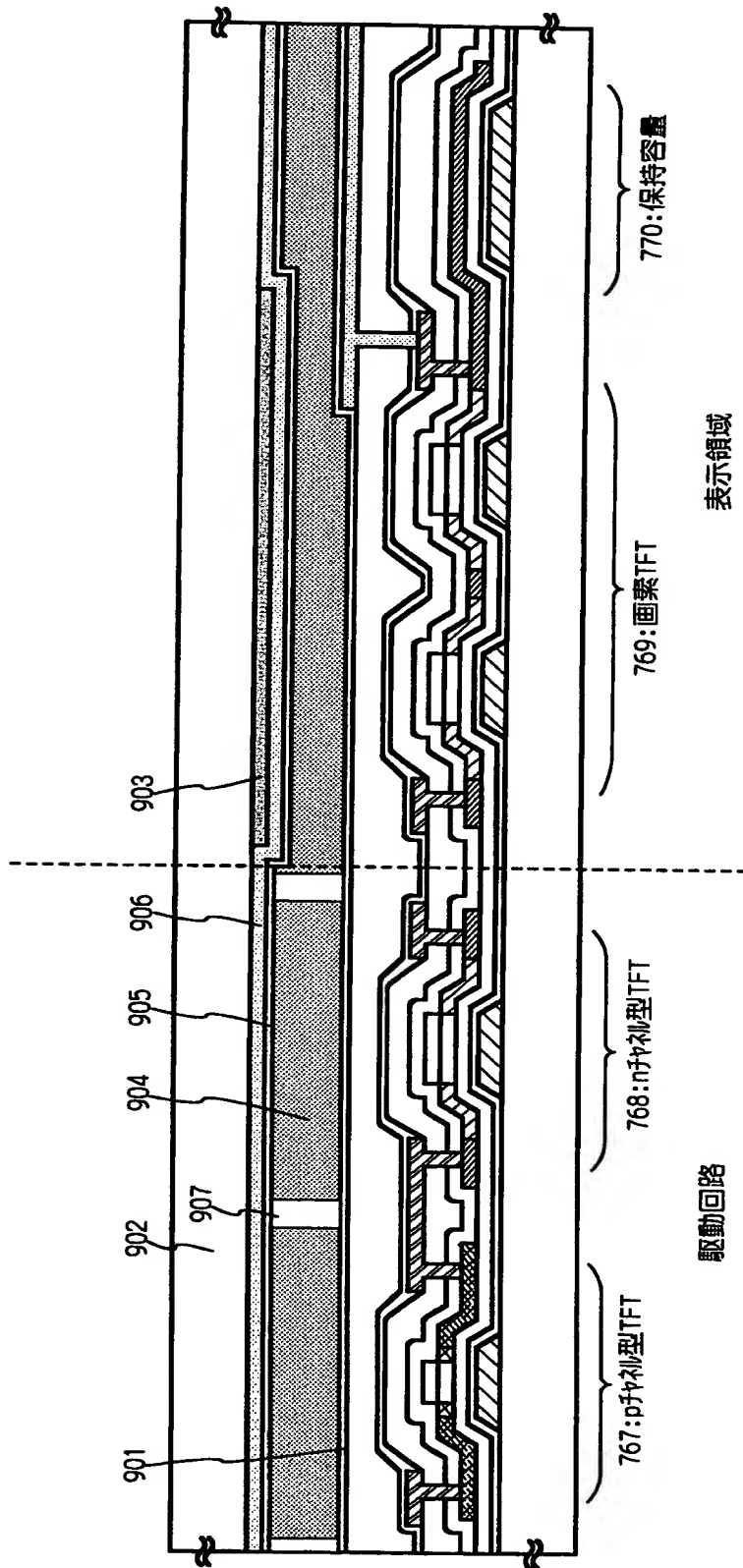
(A) 保護絶縁膜の形成、活性化、水素化の工程



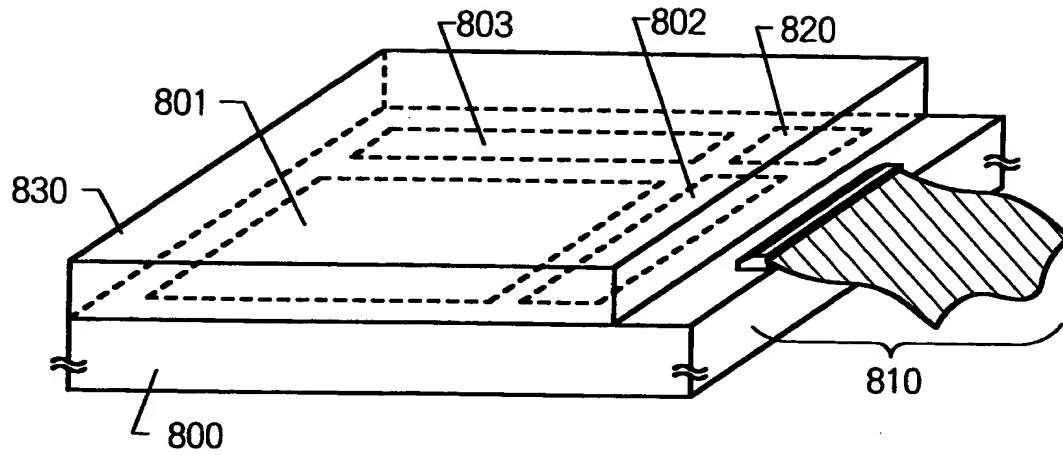
(B) 層間絶縁膜の形成、ソース・ドレイン配線の形成、パッシベーション膜の形成、画素電極の形成



【図 1 0】



【図 1 1】



アクティブマトリクス基板

800 : 基板

801 : 表示領域

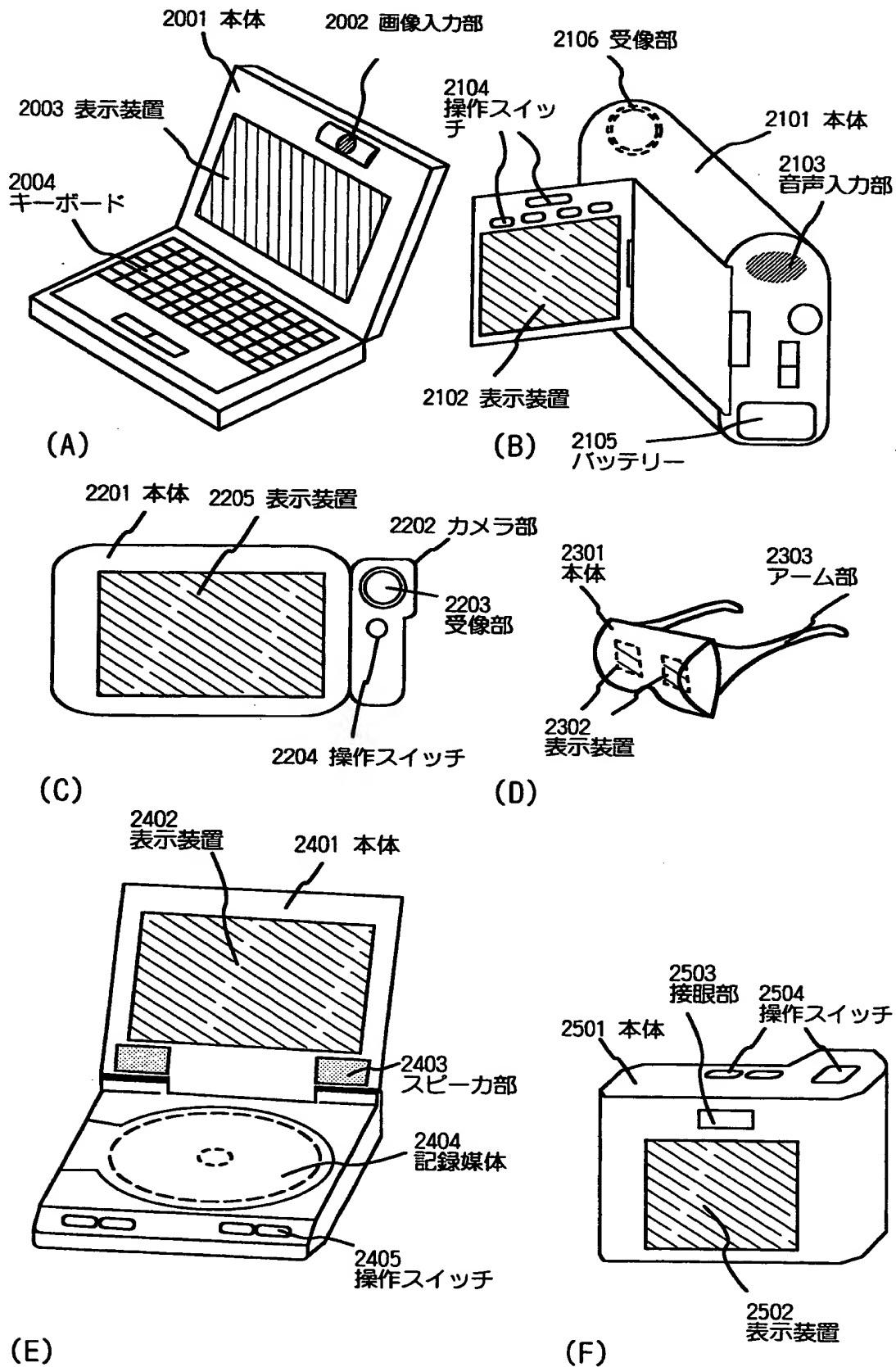
802 : 走査線駆動回路、803 : 信号線駆動回路

810 : FPC

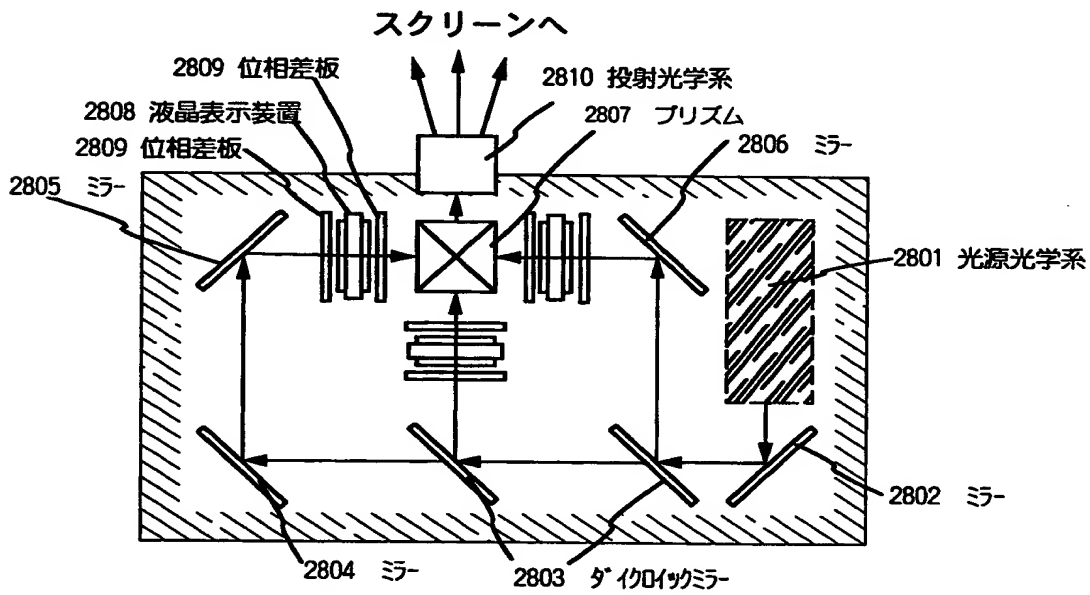
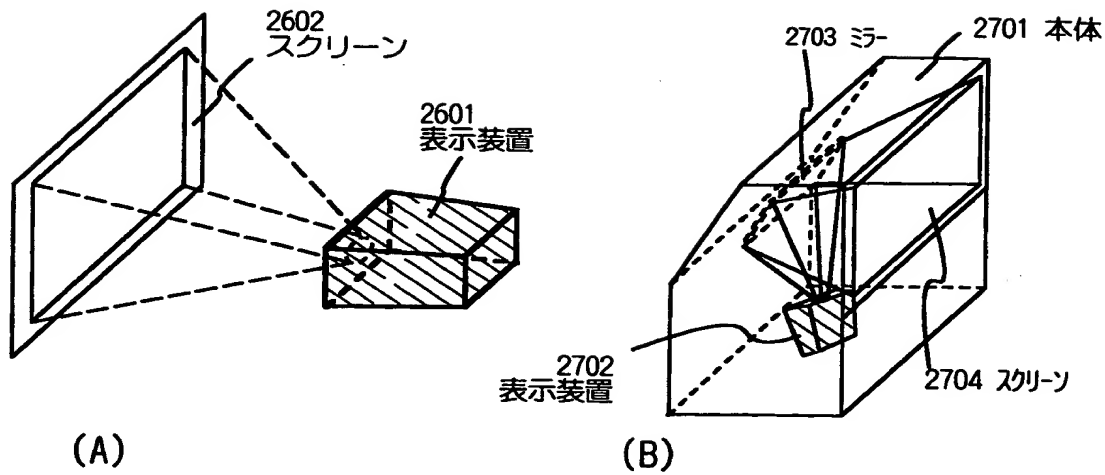
820 : ロジック回路

830 : 対向基板

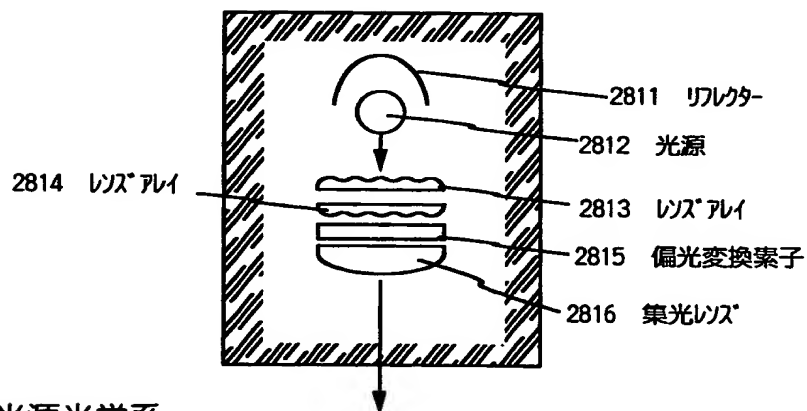
【図 1 2】



【図 13】

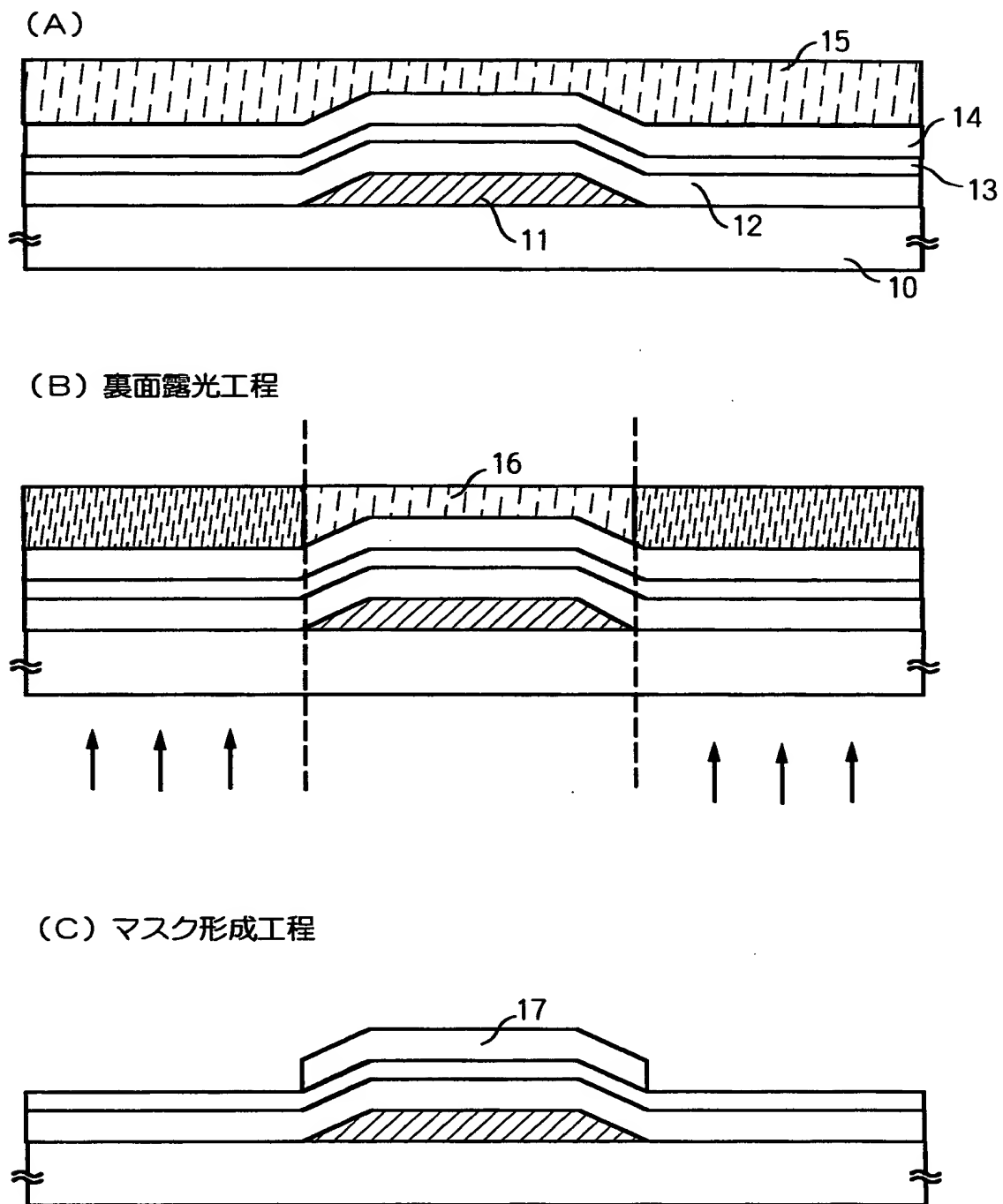


(C)表示装置 (三板式)



(D)光源光学系

【図 1 4】



【書類名】 要約書

【要約】

【課題】 本発明は、制御性の高い裏面露光装置および露光方法を提供する。

【解決手段】 本発明は、基板の表面側に反射手段 6 0 2 が感光性薄膜表面から距離 X ($X = 0.1 \mu m \sim 1000 \mu m$) 離れて設けられた裏面露光装置を用いて露光を行い、パターン 6 0 0 の端部からの距離 Y の位置に制御性良く感光性薄膜パターン 6 0 6 をセルフアライン方式で形成する。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日
[変更理由] 新規登録
住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所